

Bölüm 8 FET Karakteristikleri

DENEY 8-1 JFET Karakteristikleri

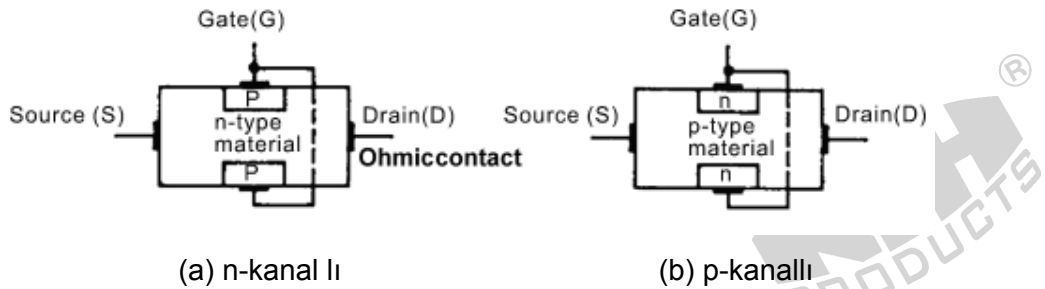
DENEYİN AMACI

1. JFET'in yapısını ve çalışma prensibini anlamak.
2. JFET karakteristiklerini ölçmek.

GENEL BİLGİLER

JFET'in Yapısı ve Karakteristikleri

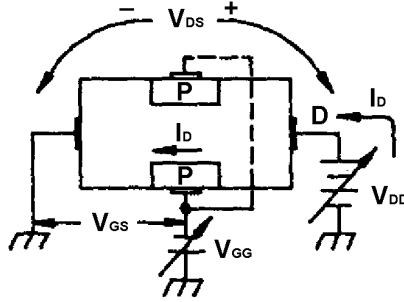
JFET'in iç yapısı Şekil 8-1-1'de gösterilmiştir. n-kanallı JFET, kalın bir n-tipi malzeme içerisine bir çift p-tipi bölgenin yerleştirilmesiyle elde edilir. Buna karşılık p-kanallı JFET, kalın bir p-tipi malzeme içerisine bir çift n-tipi bölgenin yerleştirilmesiyle elde edilir. Burada JFET'in çalışması anlatılırken, Şekil 8-1-2'de gösterilen öngerilim düzenlemesine sahip n-kanallı JFET ele alınacaktır.



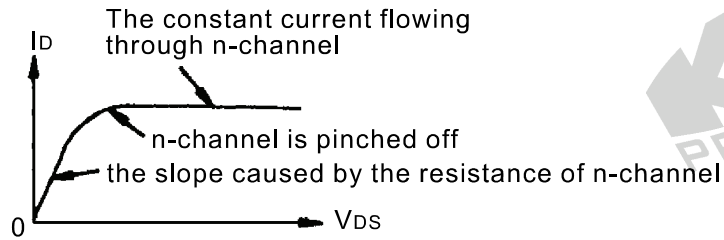
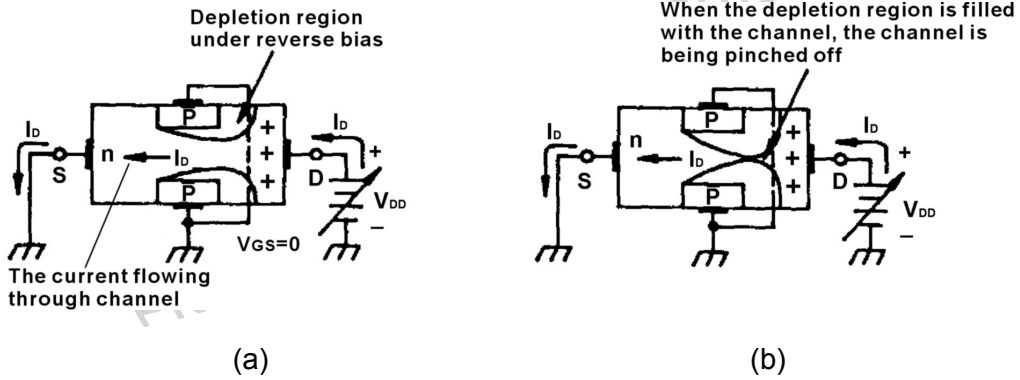
Şekil 8-1-1 JFET'in yapısı

V_{DD} besleme gerilimi, akaç-kaynak arasında bir V_{DS} gerilimi oluşturarak, akaçtan kaynağa bir I_D akımının akmasını sağlar (n-kanallı JFET'te elektronlar gerçekte kaynaktan akaca doğru hareket eder, ki ikinci bahsedilen uç bu yüzden akaç olarak adlandırılır. Geleneksel akım yönü ise, elektron akış yönünün tersinedir). Bu durumda

akaç akımı, p-tipi kapılarla çevrili kanal içerisinde akar. Şekil 8-1-2'de gösterildiği gibi kapı ile kaynak arasında V_{GG} gerilim kaynağı tarafından bir gerilim üretilir. Kapı ile kaynak arasındaki gerilim, kapı-kaynak jonksiyonunu ters yönde öngerilimlediği için kapı akımı akmaz. Kanalın iki yanından uygulanan kapı gerilimi tarafından oluşturulan boşaltılmış bölge, kanalın genişliğini azaltarak akaç-kaynak direncini artırır ve böylece akaç akımının azalmasına neden olur.



Şekil 8-1-2 JFET'in temel çalışması

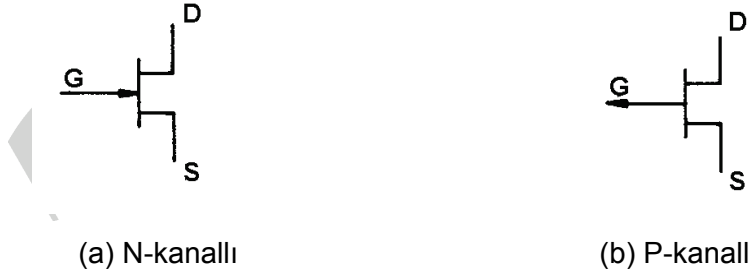


Şekil 8-1-3 Kanal tarafından oluşturulan kısma etkisi

$V_{GS} = 0V$ iken FET'in çalışma durumu Şekil 8-1-3(a)'da gösterilmiştir. N-kanalı boyunca akım aktığı durumda V_{DD} tarafından üretilen gerilim düşümü, kapı-akaç jonksiyonuna yakın tarafının potansiyeli, kapı-kaynak jonksiyonuna göre daha yüksek olan küçük bir direnç olarak düşünülebilir. P-N jonksiyonuna uygulanan ters öngerilim, Şekil 8-1-3(a)'da gösterildiği gibi, bir boşaltılmış bölge oluşturur. V_{DD} gerilimi arttırıldığında, I_D akımı da artarak daha büyük bir boşaltılmış bölgeye yol açar ve akaç ile kaynak arasındaki direnç artmış olur. V_{DD} gerilimi sürekli olarak arttırılırsa, Şekil 8-1-3(b)'de gösterildiği gibi, boşaltılmış bölge kanalın tamamını kaplar. Bu durumda V_{DD} 'nin daha da arttırılması, I_D akımını arttırmaz ($I = V/R$, $V \uparrow$, $R \uparrow$, I sabit kalır). $V_{GS} = 0$ iken V_{DS} ile I_{DS} arasındaki ilişki Şekil 8-1-3(c)'de gösterilmiştir. Bu şekilden I_D akımının, sabit bir değere ulaşmaya kadar, V_{DS} gerilimiyle birlikte arttığı görülmektedir. Bu sabit değer I_{DSS} olarak adlandırılır (Burada DS harfleri akımın akaçtan kaynağa doğru aktığını ifade ederken, son S harfi ise akaç-kapı'nın kısa devre ($V_{GS} = 0$) durumunda olduğunu belirtir).

JFET'in Devre Sembolleri ve Karakteristik Eğrileri

1. JFET'in devre sembolleri Şekil 8-1-4'te gösterilmiştir. D, G ve S sırasıyla, JFET'in Akaç, Kapı ve Kaynak uçlarını ifade etmektedir.

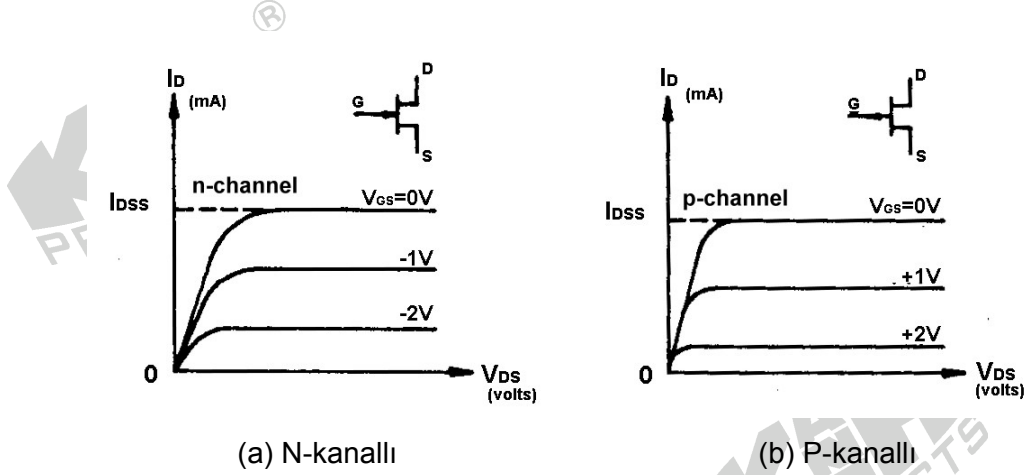


Şekil 8-1-4 JFET devre sembolleri

2. Akaç-Kaynak Karakteristik Eğrisi

Şekil 8-1-5, P-kanallı ve N-kanallı JFET'in akaç-kaynak karakteristiklerini göstermektedir. V_{GS} 'nin arttırılmasıyla (n-kanallıda daha negatif yapılır) kanalda oluşan boşaltılmış bölge, kanalı kısmak için gerekli akımın azalmasına sebep olur. $V_{GS} = -1V$ 'a karşılık gelen eğri Şekil 8-1-5(a)'da gösterilmiştir. Bu sonuca göre, kapı geriliminin, akaç akımını azaltabilen bir kontrolör olarak iş gördüğü söylenebilir (belirli bir V_{DS} geriliminde). Şekil 8-1-5(b)'de gösterildiği gibi, P-kanallı JFET için V_{GS} daha pozitifken, akaç akımı I_{DSS} 'den daha küçük olur.

V_{GS} sürekli olarak arttırılırsa, akış akımı buna bağlı olarak azalacaktır. V_{GS} belirli bir değere ulaştığında akış akımı sıfıra düşer ve V_{DS} değerinden bağımsız hale gelir. Bu andaki kapı-kaynak gerilimi kısma gerilimi olarak adlandırılır ve V_P veya $V_{GS(kesim)}$ ile gösterilir. Şekil 8-1-5'ten V_P 'nin, n-kanallı FET için negatif, p-kanallı FET için pozitif bir gerilim olduğu görülmektedir.



Şekil 8-1-5 JFET'in Akış-Kaynak karakteristik eğrileri

3. Transfer Eğrisi

JFET için diğer bir karakteristik eğri de, transfer karakteristik eğrisidir. Bu eğri, sabit V_{DS} akış-kaynak gerilimi için, I_D akış akımının V_{GS} kapı-kaynak gerilimine göre değişimini gösterir. Transfer karakteristik eğrisindeki en önemli noktalar I_{DSS} ve V_P noktalarıdır. Bu iki nokta koordinat eksenlerine yerleştirildiğinde, diğer noktalar, bu transfer karakteristik eğrisine bakılarak yada aşağıdaki denklem kullanılarak bulunabilir:

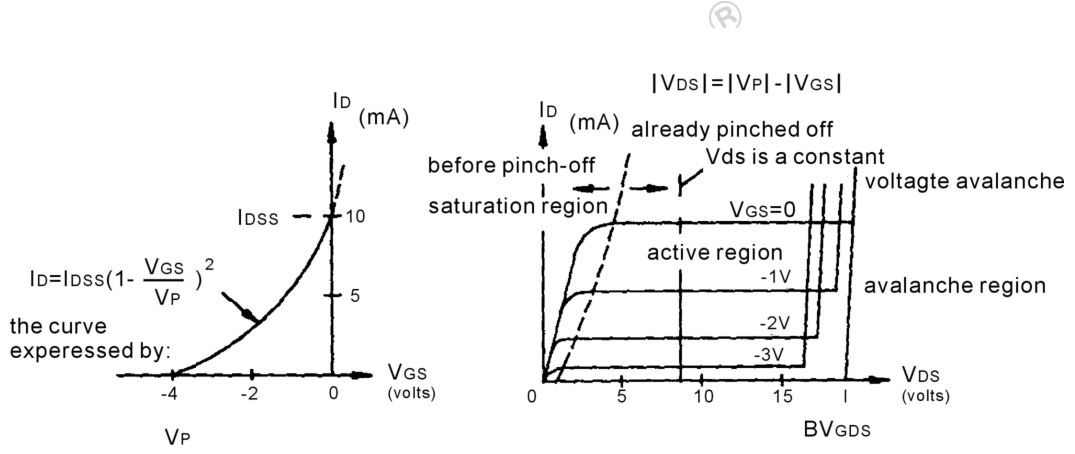
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2 \quad (8-1-1)$$

Denklem (8-1-1)'den:

$$V_{GS} = 0 \text{ iken, } I_D = I_{DSS}$$

$$I_D = 0 \text{ iken, } V_{GS} = V_P$$

JFET'in öngerilimi, transfer eğrisinde V_P ve I_{DSS} 'nin ortasında olacak şekilde tasarlanır.

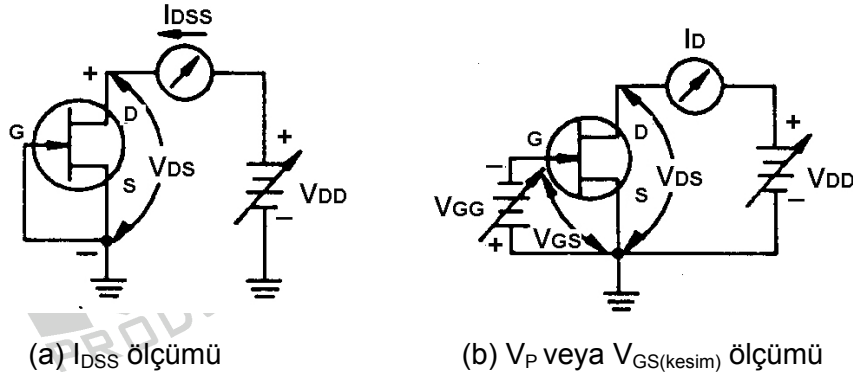


Şekil 8-1-6 JFET için akçe-kaynak karakteristiđi ve transfer eđrisi

I_{DSS} ve V_P ölçüm devrelerinde,

Şekil 8-1-7(a)'da $V_{GS} = 0$;

Şekil 8-1-7(b)'de V_{GS} yüksek negatif bir gerilim.



Şekil 8-1-7 I_{DSS} ve V_P ölçüm devreleri

KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devresi Laboratuarı
2. KL-25005 FET Devresi Deney Modülü
3. Multimetre

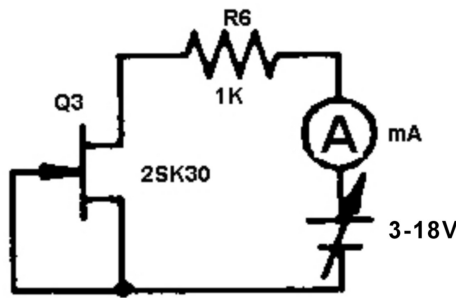
DENEYİN YAPILIŞI

A. I_{DSS} Ölçümü

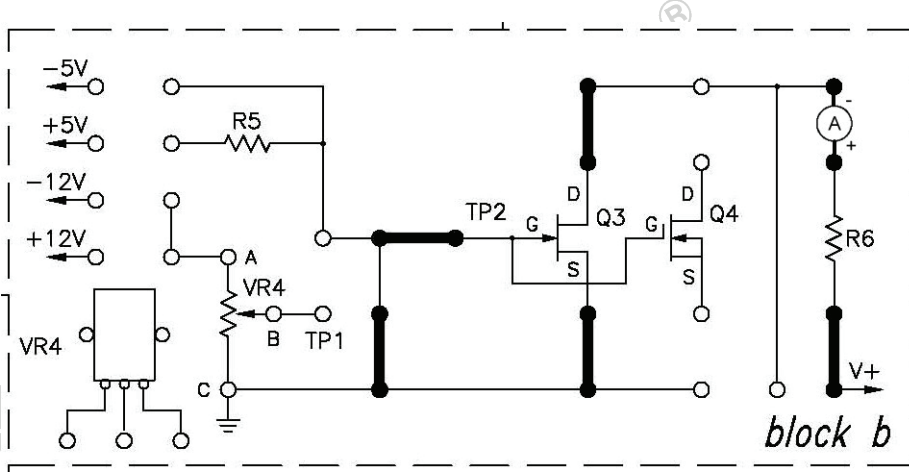
1. KL-25005 modülünü, KL-22001 Temel Elektrik Devreleri Denei Düzeneğinin üzerine koyun ve b bloğunun konumunu belirleyin.
2. Şekil 8-1-8'deki devre ve Şekil 8-1-9'daki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneğindeki Ayarlanabilir Güç Kaynağının V+ ucunu, KL-25005 modülünün V+ girişine bağlayın ve gerilim kontrol düğmesini minimuma getirin.
3. I_{DSS} akımını ölçmek için ampermetreyi bağlayın.
4. V+ (V_{DD}) değerini, 3V ile 18V arasında, Tablo 8-1-1'de verilen değerlere, ayarlayın. Ampermetre yardımıyla I_{DSS} değerini ölçün ve Tablo 8-1-1'e kaydedin.

| V_{DD} (V) | 3 | 4 | 5 | 7 | 9 | 12 | 15 | 18 |
|----------------|---|---|---|---|---|----|----|----|
| I_{DSS} (mA) | | | | | | | | |

Tablo 8-1-1



Şekil 8-1-8 I_{DSS} ölçüm devresi



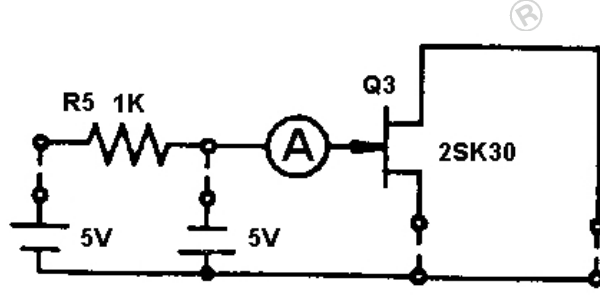
Şekil 8-1-9 Bağlantı diyagramı (KL25005 blok b)

B. I_{GS} Ölçümü

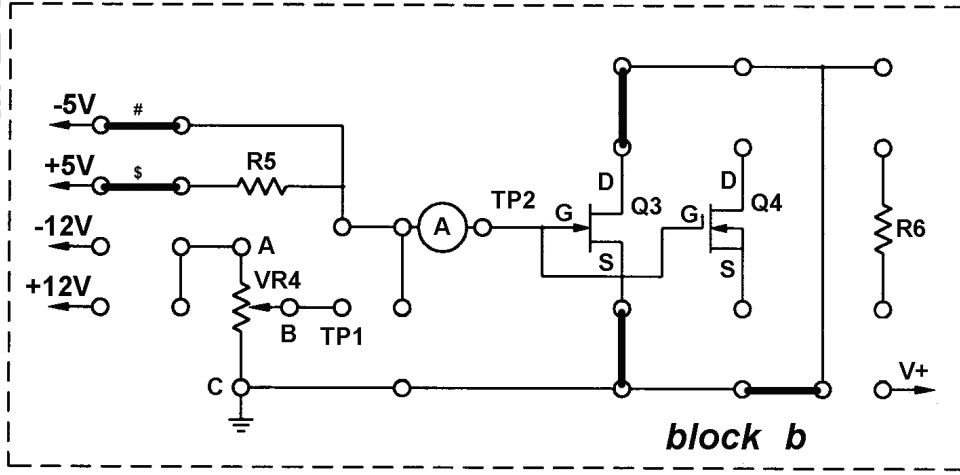
- Şekil 8-1-10'daki devre ve Şekil 8-1-11'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın (# ve \$ işaretli klipsler hariç). KL-22001 Düzeneğindeki sabit +5VDC ve -5VDC güç kaynaklarını, KL-25005 modülüne bağlayın.
- I_{GS} değerini ölçmek için ampermetreyi bağlayın.
- \$ işaretli klipsi takarak V_G 'yi +5V'a bağlayın. I_{GS} değerini ölçün ve Tablo 8-1-2'ye kaydedin. \$ işaretli klipsi devreden çıkartın.
- # işaretli klipsi takarak V_G 'yi -5V'a bağlayın. I_{GS} değerini ölçün ve Tablo 8-1-2'ye kaydedin.

| V_{GS} | I_{GS} |
|----------|----------|
| +5V | |
| -5V | |

Tablo 8-1-2



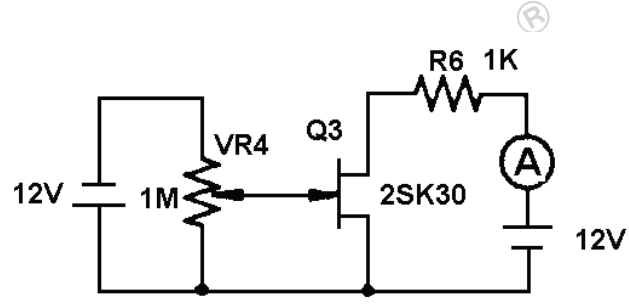
Şekil 8-1-10 I_{GS} ölçüm devresi



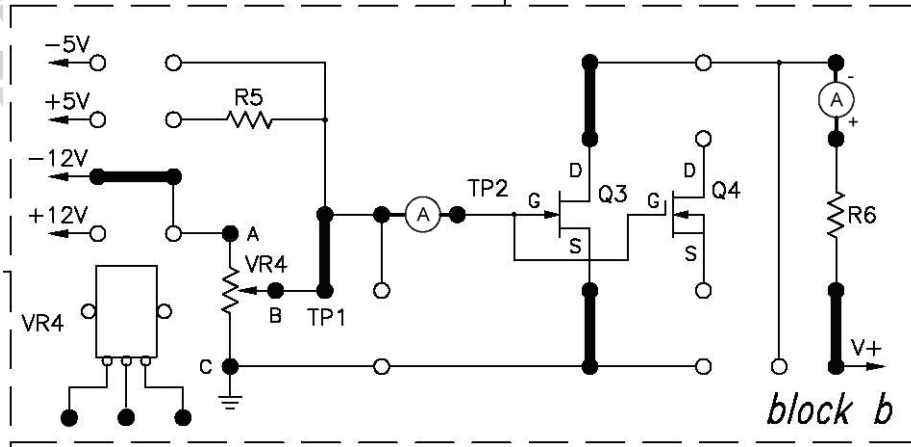
Şekil 8-1-11 Bağlantı diyagramı (KL-25005 blok b)

C. V_P Ölçümü

1. Şekil 8-1-12'deki devre ve Şekil 8-1-13'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR4'ü devreye bağlayın. KL-22001 Düzenegindeki +12VDC ve -12VDC Sabit ve V+ Ayarlanabilir Güç Kaynaklarını, KL-25005 modülüne bağlayın. V+'yı 12V yapın.
2. I_D değerini ölçmek için ampermetre bağlayın.
3. $I_D=0$ olacak şekilde VR4(1M Ω)'ü ayarlayın.
4. $I_D=0$ iken, voltmetreyi kullanarak V_{GS} gerilimini ölçün. $V_{GS}=V_P=$ _____.



Şekil 8-1-12 V_p ölçüm devresi



Şekil 8-1-13 Bağlantı diyagramı (KL-25005 blok b)

SONUÇLAR

$V_{GS}=0$ iken, I_D akımı, I_{DSS} değerine ulaşıncaya kadar V_{DS} gerilim değeri ile birlikte artacaktır.

N-kanallı JFET'te, V_{GS} pozitif olduğunda bir I_{GS} kapı akımı akar, V_{GS} negatif olduğunda ise $I_{GS}=0$ 'dır.

JFET'in kısma gerilimi V_p , $I_D=0$ iken V_{GS} 'ye eşittir.

DENEY 8-2 MOSFET Karakteristikleri

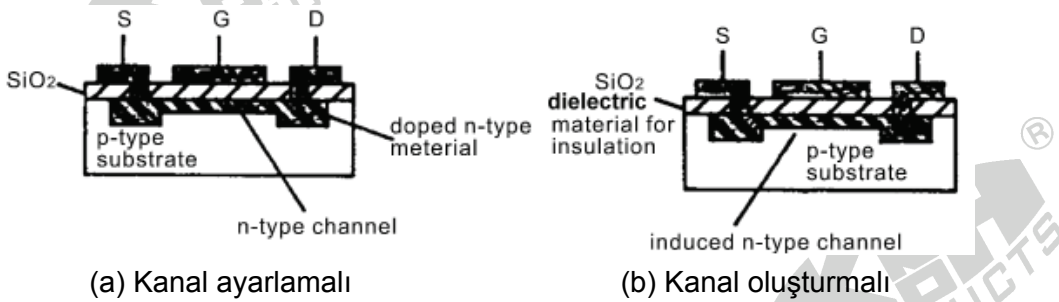
DENEYİN AMACI

1. MOSFET'in yapısını ve çalışma prensibini anlamak.
2. MOSFET karakteristiklerini ölçmek.

GENEL BİLGİLER

MOSFET'in Yapısı, Karakteristikleri ve Devre Sembolleri

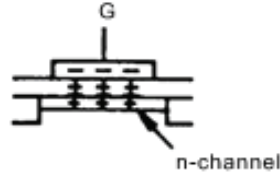
MOSFET'ler kanal ayarlamalı MOSFET ve kanal oluşturmali MOSFET olmak üzere ikiye ayrılır. Bu iki tür MOSFET'in yapıları sırasıyla Şekil 8-2-1(a) ve (b)'de gösterilmiştir. Kanal ayarlamalı MOSFET'te kanal zaten mevcut olduğu için, V_{DS} gerilimi uygulanır uygulanmaz I_{DS} akımı akmaya başlar. Kanal oluşturmali MOSFET'te ise başlangıçta kanal mevcut olmadığından, önce kanalı oluşturmak üzere pozitif (p-kanallı için) yada negatif iyonları (n-kanallı için) endüklemek için kapıya gerilim uygulanmalı ondan sonra da I_{DS} akımını oluşturmak için V_{DS} gerilimi uygulanmalıdır.



Şekil 8-2-1 MOSFET'in yapısı

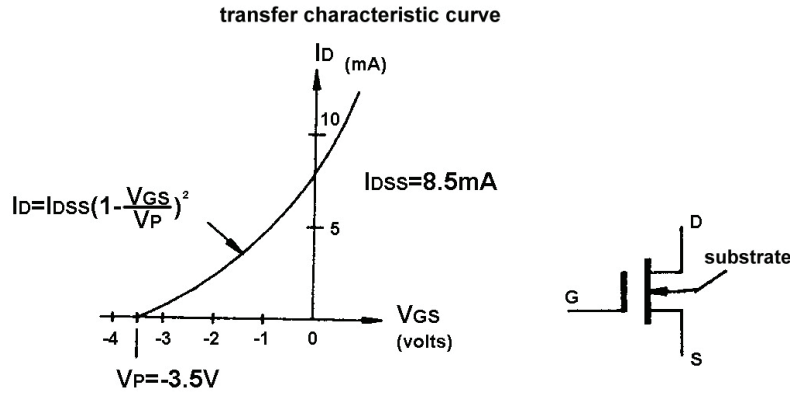
Kanal Ayarlamalı MOSFET Karakteristikleri

Kanal ayarlamalı MOSFET'te boşaltılmış bölgenin nasıl oluştuğu, Şekil 8-2-2'de gösterilmiştir.

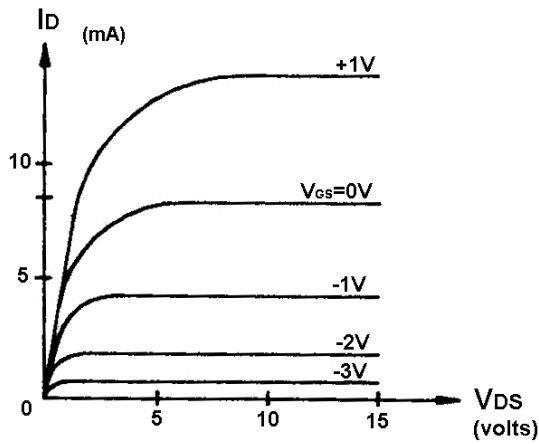


Şekil 8-2-2 Kanal ayarlamalı MOSFET'te boşaltılmış bölge

G'ye negatif gerilim uygulandığında, n-tipi kanaldaki negatif yükler, endüklenmiş pozitif yüklerle birleşerek boşaltılmış bölgenin genişlemesine sebep olur. Aksine pozitif V_{GS} geriliminin uygulanmasıyla daha fazla negatif yük endüklenir ve kanalın iletkenliği artar. Bu da akımın artmasına sebep olur.



(a) Transfer eğrisi



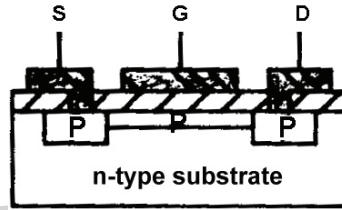
(b) Akaç karakteristik eğrisi

Şekil 8-2-3 N-kanallı kanal ayarlamalı MOSFET

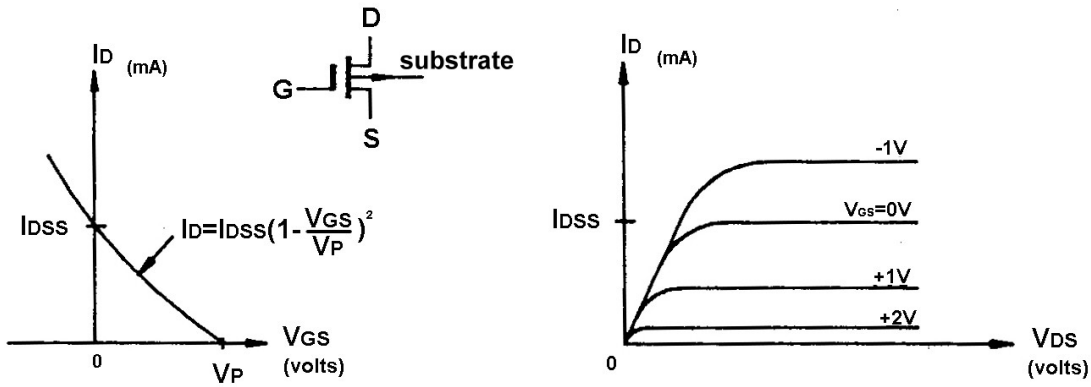
Şekil 8-2-3'te gösterilen n-kanallı kanal ayarlamalı MOSFET'in karakteristik eğrisinden, bu FET'in hem negatif hem de pozitif V_{GS} gerilimlerinde çalışabileceği görülmektedir. Negatif V_{GS} gerilimi, kısma meydana gelip I_D akımı akmayana kadar akaç akımını azaltır. Kapı kanaldan izole edilir ve V_{GS} 'nin pozitif veya negatif olmasına bakmaksızın I_{GS} akımı sıfırdır.

Kanal Ayarlamalı MOSFET'in Devre Sembolü

Şekil 8-2-3(a) kanal ayarlamalı MOSFET'in devre sembolünü göstermektedir. Bu sembol, G, D ve S uçlarına ilave olarak, altkatman (substrate) olarak ifade edilen ve eleman tipini tanımlayan başka bir uca daha sahiptir. Altkatman sembolü bir ok içermektedir ve burada okun yönü, MOSFET'in n-kanallı olduğunu belirtmektedir. P-kanallı kanal ayarlamalı MOSFET'in sembolü, yapısı ve karakteristik eğrisi Şekil 8-2-4'te gösterilmiştir.



(a) Yapısı



(b) Karakteristik eğrileri

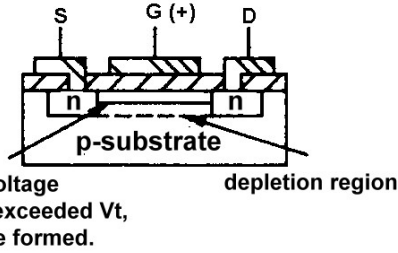
Şekil 8-2-4 P-kanallı kanal ayarlamalı MOSFET

Kanal Oluşturmalı MOSFET Karakteristikleri

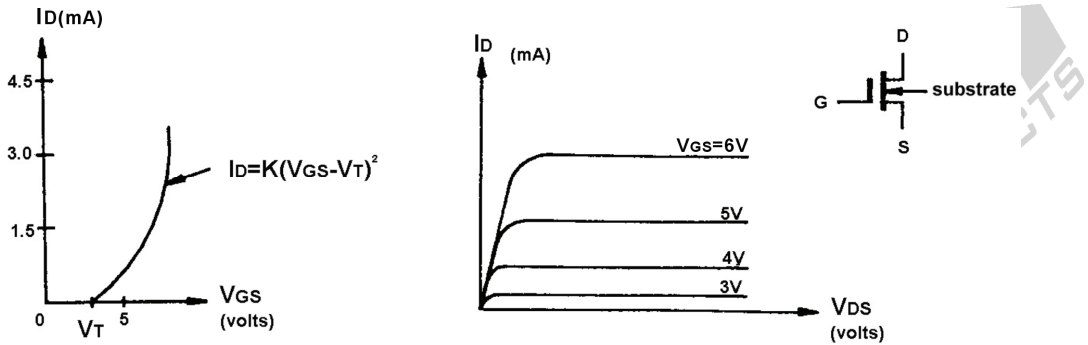
Şekil 8-2-5'te, temel eleman yapısı olarak D ile S arasında bir kanala sahip olmayan, n-kanallı kanal oluşturmalı MOSFET'in yapısı gösterilmiştir. D ile S arasına $+V_{GS}$ uygulandığında, endüklenen negatif yükler bir kanal oluşturur. Şekil 8-2-5(c)'de karakteristik eğri gösterilmiştir. Bu şekilden, V_{GS} gerilimi V_T eşik gerilimini aşmadığı sürece I_D akımı üretilmeyeceği görülmektedir. V_{GS} , eşik gerilimini aşarsa I_D akımı artmaya başlar. Transfer karakteristik eğrisi denklem 8-2-1 kullanılarak çizilebilir.

$$I_D = K (V_{GS} - V_T)^2 \quad (8-2-1)$$

K değeri genellikle 0.3mA/V^2 olarak alınır. $V_{GS}=0$ iken akış akımı akmadığı için formülde I_{DSS} kullanılmamıştır. Kanal oluşturmalı MOSFET, çalışma aralığı bakımından, kanal ayarlamalı MOSFET'e göre daha kısıtlı olmasına karşın, daha basit yapısı ve daha küçük boyutlarda üretilebilmesi dolayısıyla büyük ölçekli tümdevrelerde yaygın olarak kullanılır.



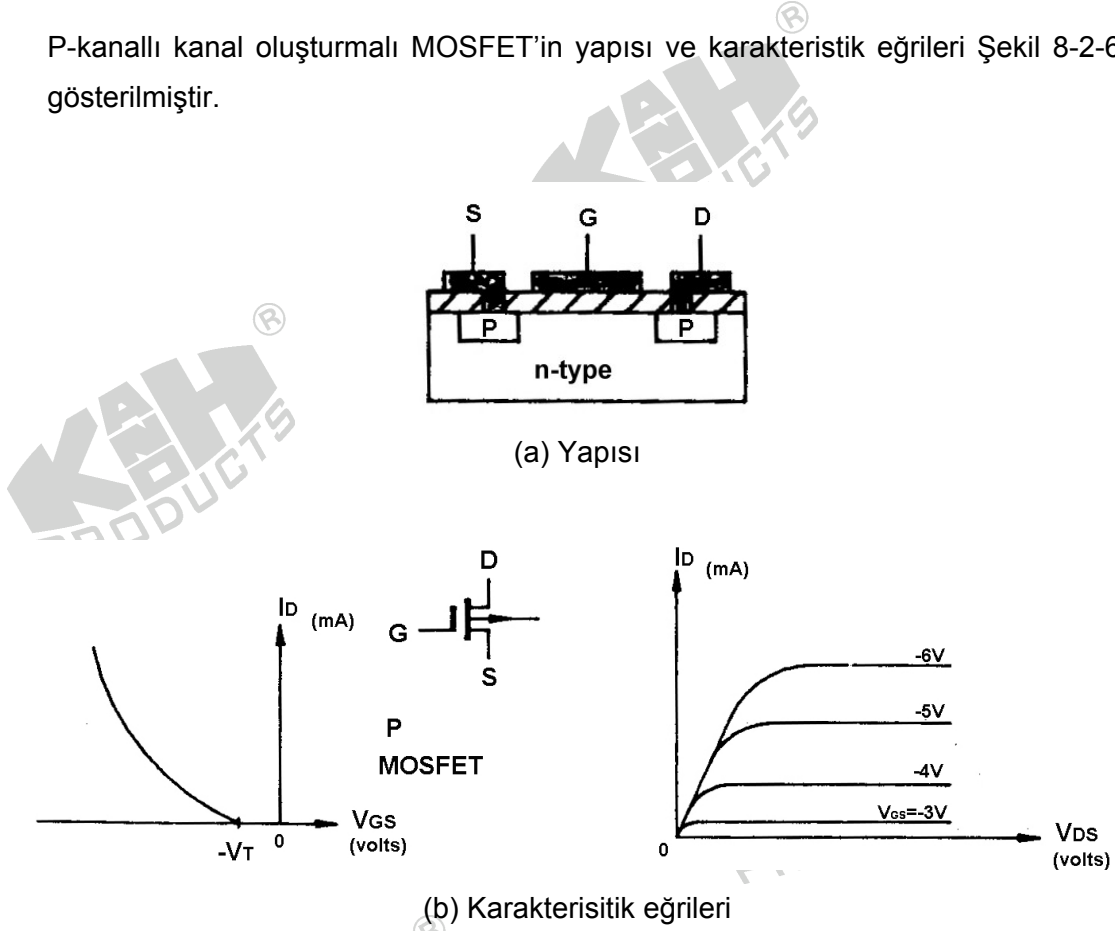
(a) Yapısı



(b) Karakteristik eğrileri

Şekil 8-2-5 N-kanallı kanal oluşturmalı MOSFET

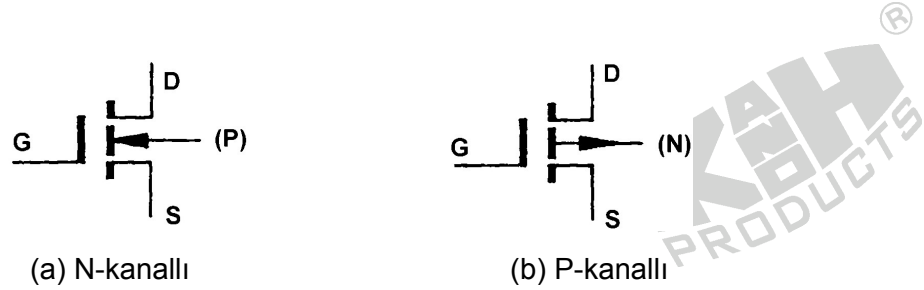
P-kanallı kanal oluşturmali MOSFET'in yapısı ve karakteristik eğrileri Şekil 8-2-6'da gösterilmiştir.



Şekil 8-2-6 P-kanallı kanal oluşturmali MOSFET

Kanal Oluşturmali MOSFET'in Devre Sembolleri

D ile S arasındaki kesik çizgiler, başlangıçta D ile S arasında kanal olmadığını belirtir.



Şekil 8-2-7 Kanal oluşturmali MOSFET'in devre simgeleri

KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devresi Laboratuarı
2. KL-25005 FET Devre Deney Modülü
3. Multimetre

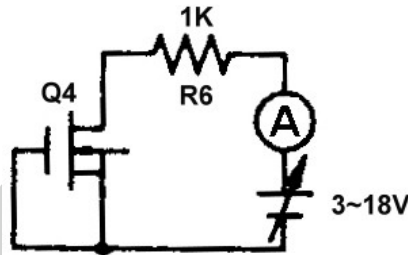
DENEYİN YAPILIŞI

A. I_{DSS} Ölçümü

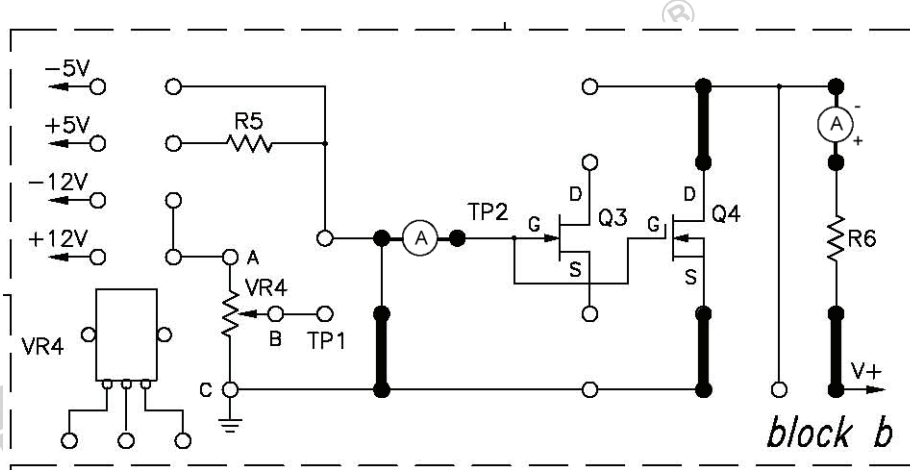
1. KL-25005 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve b bloğunun konumunu belirleyin. Şekil 8-2-8'deki devre ve Şekil 8-2-9'daki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın.
2. KL-22001 Düzeneğindeki Ayarlanabilir Güç Kaynağının V+ ucunu, KL-25005 modülüne bağlayın ve gerilim kontrol düğmesini minimuma getirin.
3. I_{DSS} değerini ölçmek için ampermetre bağlayın.
4. V+ (V_{DD}) değerini, 3V ile 18V arasında, Tablo 8-2-1'de verilen değerlere, ayarlayın. Ampermetre yardımıyla I_{DSS} değerini ölçün ve Tablo 8-2-1'e kaydedin.

| V_{DD} (V) | 3 | 4 | 5 | 7 | 9 | 12 | 15 | 18 |
|----------------|---|---|---|---|---|----|----|----|
| I_{DSS} (mA) | | | | | | | | |

Tablo 8-2-1



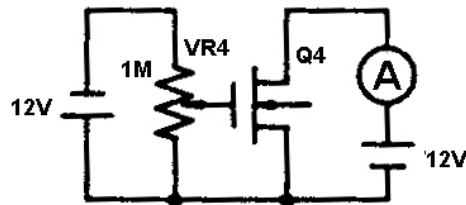
Şekil 8-2-8 I_{DSS} ölçüm devresi



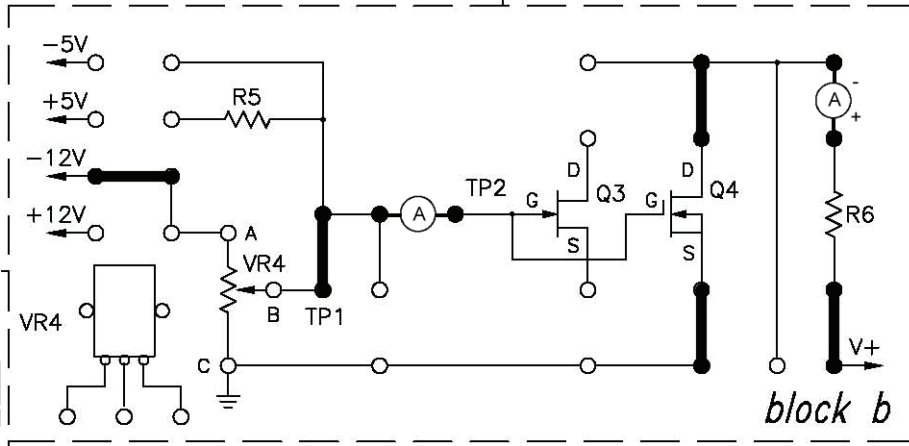
Şekil 8-2-9 Bağlantı diyagramı (KL-25005 blok b)

B. V_P Ölçümü

1. Şekil 8-2-10'daki devre ve Şekil 8-2-11'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR4'ü devreye bağlayın.
2. KL-22001 Düzenegindeki -12VDC Sabit ve V+ Ayarlanabilir Güç Kaynaklarını, KL-25005 modülüne bağlayın. V+'yı 12V'a ayarlayın.
3. I_D değerini ölçmek için ampermetre bağlayın.
4. $I_D=0$ olacak şekilde VR4(1M Ω)'ü ayarlayın.
5. $I_D=0$ iken voltmetreyi kullanarak V_{GS} gerilimini ölçün. $V_{GS}=V_P=$ _____ V.
6. $V_{GS}=0V$ olacak şekilde VR4'ü ayarlayın. I_D akımını ölçün. $I_D=$ _____ mA



Şekil 8-2-10 V_P ölçüm devresi



Şekil 8-2-11 Bağlantı diyagramı (KL-25005 blok b)

SONUÇLAR

Bu deneyde, N-kanallı kanal ayarlamalı MOSFET'in I_{DSS} ve V_P değerleri ölçüldü. $V_{GS}=0$ iken, I_D akımı, I_{DSS} değerine ulaşıncaya kadar V_{DS} gerilim değeri ile birlikte artmaktadır. Negatif V_{GS} değeri arttıkça I_D akaç akımı da artmaktadır. $I_D=0$ olduğu V_{GS} değeri, V_P kısma gerilimi olarak adlandırılır.

MOSFET'ler büyük ölçekli tümdevrelerde yaygın olarak kullanılırlar. Yüksek giriş empedansından dolayı, MOSFET'te kolaylıkla elektrostatik yük endüklediği için, kullanım sırasında uçlarına dokunulmamalı ve statik elektrikten etkilenmeyen saklama kaplarında muhafaza edilmelidir.

Bölüm 9 FET'li Yükselteçler

DENEY 9-1 Ortak-Kaynaklı (CS) JFET Yükselteç

DENEYİN AMACI

1. Ortak kaynaklı JFET yükseltecin öngerilim düzenlemesini anlamak.
2. Ortak kaynaklı JFET yükseltecin statik ve dinamik karakteristiklerini ölçmek.

GENEL BİLGİLER

FET'in en önemli üç parametresi aşağıda tanımlanmıştır:

$$1. \text{ gm (geçiş iletkenliği)} = \left. \frac{\delta i_o}{\delta V_{gs}} \right|_{V_{ds} = \text{sabit}}$$

$$\cong \left. \frac{i_d}{V_{gs}} \right|_{V_{ds} = 0} = \left. \frac{i_d}{V_{gs}} \right|_{V_{ds} = K}$$

$$2. \text{ rd (akaç direnci)} = \left. \frac{\delta V_{ds}}{\delta i_d} \right|_{V_{gs} = \text{sabit}}$$

$$\cong \left. \frac{V_{gs}}{i_d} \right|_{V_{gs} = 0} = \left. \frac{V_{gs}}{i_d} \right|_{V_{gs} = K}$$

$$3. \mu \text{ (yükseltme faktörü)} = \left. \frac{-\delta V_{ds}}{-\delta V_{gs}} \right|_{i_d = \text{sabit}}$$

$$\cong \left. \frac{V_{ds}}{V_{gs}} \right|_{i_d = 0} = \left. \frac{V_{ds}}{V_{gs}} \right|_{i_d = K}$$

Yukarıdaki formüllerde kullanılan:

i_d : akaç akımı (AC küçük işaret)

V_{gs} : G ile S arasına uygulanan AC gerilim (küçük işaret)

V_{ds} : D ile S arasında üretilen AC gerilim

JFET için öngerilim düzenlemesi

1. JFET için sabit öngerilim düzenlemesi: Şekil 9-1-1'de gösterilmiştir.

(1) Şekil 9-1-1(a)'da, sabit öngerilimli p-kanallı FET devresi gösterilmiştir. Burada V_{DD} , V_{DS} ve I_D 'yi meydana getirirken V_{GG} ise V_{GS} 'yi oluşturur. Şekil 9-1-1(b)'de akaç karakteristik eğrisi ve çalışma noktası gösterilmiştir. Çıkış devresinin çevre gerilimleri denklemi $V_{DD}=I_D \times R_D + V_{DS}$ ile DC yük doğrusu çizilebilir ve çalışma noktasının konumu belirlenebilir.

(2) $I_D = 0$ iken, $V_{DD} = V_{DS}$ (A noktası)

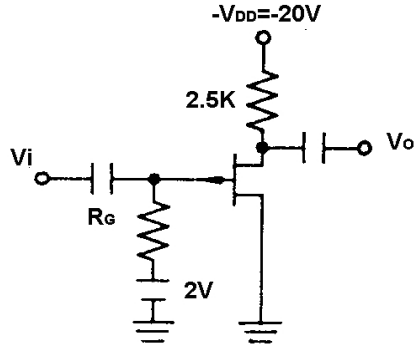
(3) $V_{DS} = 0$ iken, $I_D = V_{DD} / R_D = 20V / 2.5K = 8mA$ (B noktası).

A ve B noktaları arasına çizilecek doğru, DC yük doğrusudur.

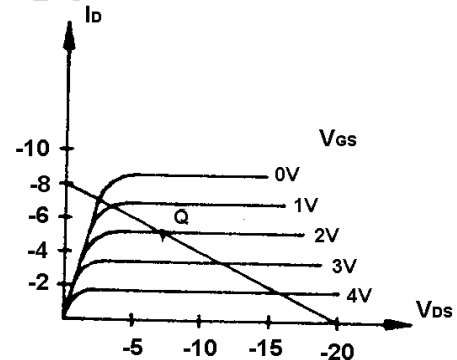
(4) $I_G \approx 0$ olduğu için (R_i çok büyük), $\therefore V_{RG} \approx 0V$ ve $V_{GS} = V_G - V_S = V_{GG} = 2V$ Çalışma noktası, DC yük doğrusu ile $V_{GS} = 2V$ 'a karşılık gelen eğrinin kesişim noktası Q bulunarak belirlenebilir. Q noktası (V_{DSQ} , I_{DQ}) aynı zamanda aşağıdaki iki denklem kullanılarak da hesaplanabilir:

$$V_{DSQ} = V_{DD} - I_{DQ} R_D$$

$$I_{DQ} = I_{DSS} (1 - V_{GSQ}/V_P)^2$$



(a) Öngerilim devresi



(b) Çıkış karakteristiği

Şekil 9-1-1 Sabit öngerilimli p-kanallı JFET devresi

2. JFET için kendinden öngerilimli düzenleme Şekil 9-1-2'de gösterilmiştir.

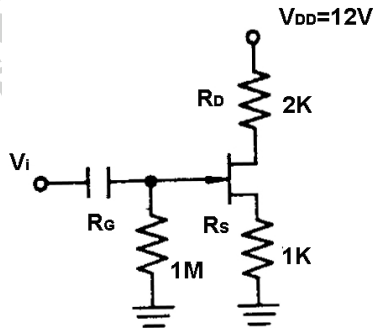
(1) Akaca uygulanan tek bir V_{DD} gerilim kaynağı mevcuttur ve uygun bir çalışma noktası elde etmek için, kapı-kaynak arasında kendinden öngerilim oluşturulabilir.

(2) R_i çok büyük olduğu için, $I_G \approx 0$, $V_{RG} = 0 = V_G$, $V_S = I_S \times R_S \approx I_D \times R_S$, $V_{GS} = V_G - V_S = 0 - V_S = -I_D \times R_S$.

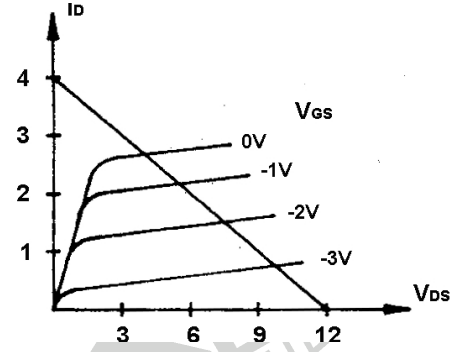
(3) Yük doğrusunun çizilmesi:

- Çıkış devresinin çevre gerilimleri denkleminde: $V_{DD} = I_D R_D + V_{DS} + I_D R_S$
- $I_D = 0$ iken, $V_{DS} = V_{DD} = 12V$ (A noktası)
- $V_{DS} = 0$ iken, $I_D = \frac{V_{DD}}{R_D + R_S} = \frac{12V}{3K} = 4mA$ (B noktası).
- A ve B noktaları arasına çizilecek doğru, DC yük doğrusudur.

Çalışma noktası, V_{GS} eğrisi ile bu yük doğrusunun kesişimidir.



(a) Öngerilim devresi



(b) Çıkış karakteristiği

Şekil 9-1-2 Kendinden öngerilimli JFET devresi

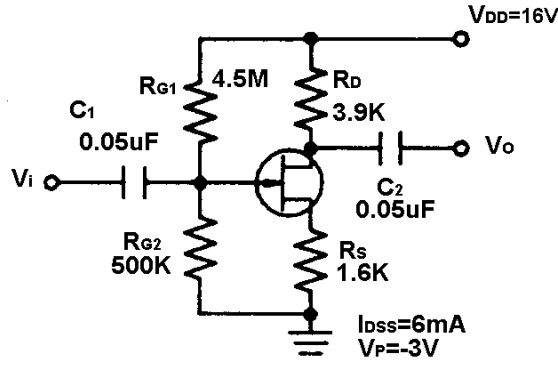
3. JFET için gerilim bölücülü öngerilim düzenlemesi

Şekil 9-1-3'te JFET için gerilim bölücülü öngerilim devresi gösterilmiştir. Bu devrede, V_G 'nin artık sıfır olarak ayarlanmaması dışında, V_{SG} ve I_D çözümleri kendinden öngerilimli devreninkilerle aynıdır.

$$V_G = V_{DD} \frac{R_2}{R_1 + R_2}$$

$$V_{GS} = V_G - I_D \times R_S$$

$$I_{DQ} = I_{DSS} \left(1 - \frac{V_{GSQ}}{V_P}\right)^2$$



Şekil 9-1-3 JFET için gerilim bölücülü öngerilim devresi

FET küçük sinyal analizi ve FET'li yükselteç uygulaması üç ayrı konfigürasyonla gerçekleştirilebilir:

1. Ortak kaynak (CS)
2. Ortak akaç (CD)
3. Ortak kapı (CG)

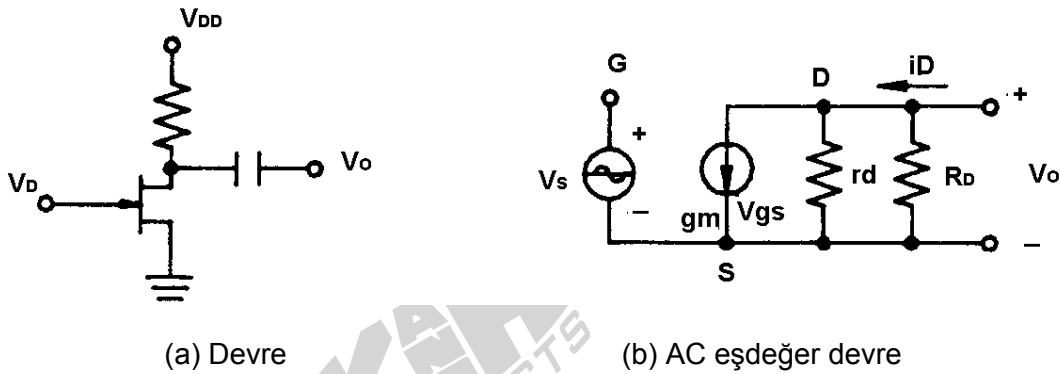
JFET CS yükselteç

Şekil 9-1-4, ortak kaynak (CS) yükselteç devresini göstermektedir.

$$A_v = \frac{V_o}{V_s} = \frac{-\mu R_D}{r_d + R_D} = g_m R_d' \quad R_d' = r_d \parallel R_D$$

$$Z_o = r_d + (1 + \mu) R_s, \quad Z_o' = R_D \parallel Z_o, \quad \mu = g_m \times r_d$$

Çıkış fazı 180° ters çevrilmiştir.

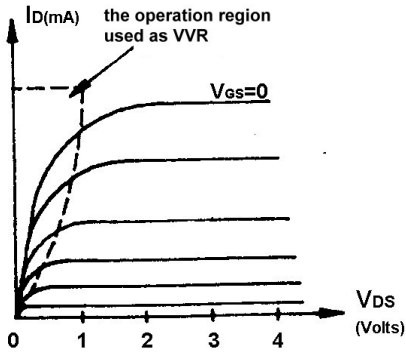


Şekil 9-1-4 JFET CS yükselteç

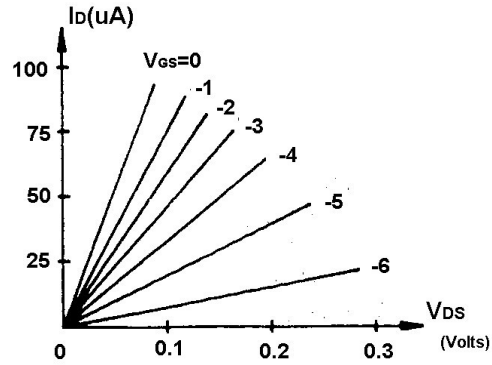
Gerilim kontrollü (değişken) direnç olarak FET (VVR veya VCR)

Şekil 9-1-5(a)'da gösterilen akaç karakteristik eğrisinden şu sonuçlar elde edilebilir: FET, V_{DS} 'nin çok küçük ancak yine de kısmının ötesinde olduğu omik bölgede çalışırken, akaç akımı, V_{DS} akaç-kaynak gerilimiyle doğru orantılıdır. Diğer bir ifadeyle, akaç-kaynak arasındaki kanalın direnci, V_{GS} tarafından kontrol edilir ve FET, direnci kontrol etmek için gerilimin kullanıldığı gerilim-ayarlı direnç (VVR) gibi davranır.

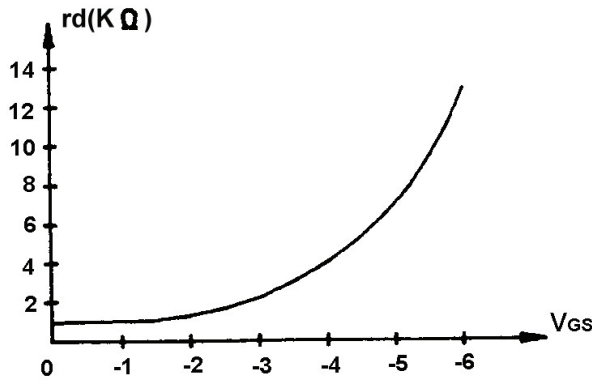
Şekil 9-1-5(b)'de, FET'in gerilim kontrollü direnç olarak çalışması için uygun olan düşük seviye bölgesindeki yükseltme parçası gösterilmiştir. Her bir eğrinin eğimi R_{ds} 'yi temsil ettiği için R_{ds} 'nin V_{GS} kontrol geriliminin bir fonksiyonu olup olmadığı anlaşılabilir. Örneğin $V_{GS} = 0$ için eğim çok fazla ve direnç minimumken, $V_{GS} = -6V$ için eğim çok düşük ve direnç maksimumdur. Şekil 9-1-5(b)'de gösterilen FET direncinin kontrol gerilimine bağlı değişimi, Şekil 9-1-5(c)'deki eğri ile de gösterilebilir. Burada r_d 'nin V_{GS} ile birlikte arttığı ancak bu artışın doğrusal olmadığı açıkça görülmektedir.



(a) Omik bölge



(b) Omik bölgede I_D - V_{DS} eğrisi



(c) r_d - V_{GS} eğrisi

Şekil 9-1-5 VVR olarak kullanılan FET'in çalışma durumu

KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devresi Laboratuvarı
2. KL-25005 FET Devre Deney Modülü
3. Multimetre
4. Osiloskop

DENEYİN YAPILIŞI

A. Kendinden Öngerilimli Ortak Kaynak JFET Yükseltici

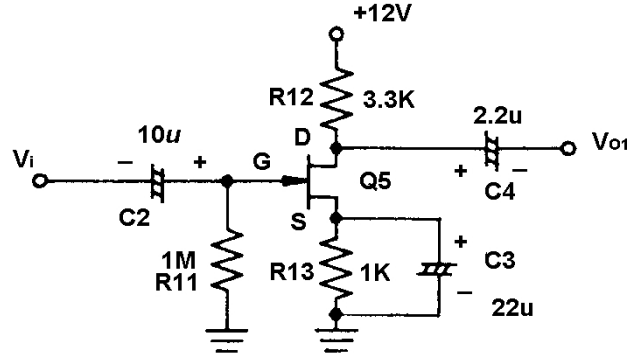
1. KL-25005 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzenekinin üzerine koyun ve c bloğunun konumunu belirleyin.
2. Şekil 9-1-6'daki devre ve Şekil 9-1-7'deki bağlantı diyagramı (# işaretli klips hariç) yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenekindeki sabit 12VDC güç kaynağını, KL-25005 modülüne bağlayın. R_D , $R_{12}(3.3K\Omega)$ 'dir.
3. DC voltmetre kullanarak, V_{DS} , V_{GS} ve V_D 'yi ölçün ve Tablo 9-1-1'e kaydedin.
4. KL-22001 Düzenekinin üzerindeki Fonksiyon Üretecini kullanarak, IN (TP1) ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT1 (TP5) çıkış ucuna osiloskop bağlayın.
5. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde, sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT1 ucundaki çıkış dalga şeklini ölçün ve Tablo 9-1-1'e kaydedin. Giriş ve çıkış sinyalleri arasındaki faz farkını karşılaştırın. A_v 'yi hesaplayın.
6. R_{12} ($3.3K\Omega$) ile akaç arasındaki klipsi çıkartın. R_D değerini R_{12} 'den R_{16} ($6.8K\Omega$)'ya değiştirmek için # işaretli klipsi devreye yerleştirin. 3. adımdan 5. adıma kadar olan işlemleri tekrarlayın.

7. Yeniden $R_D=R_{12}$ ($3.3K\Omega$) yapın ve C_3 ($22\mu F$)'ü devre dışı bırakın. 3. adımdan 5. adıma kadar olan işlemleri tekrarlayın.

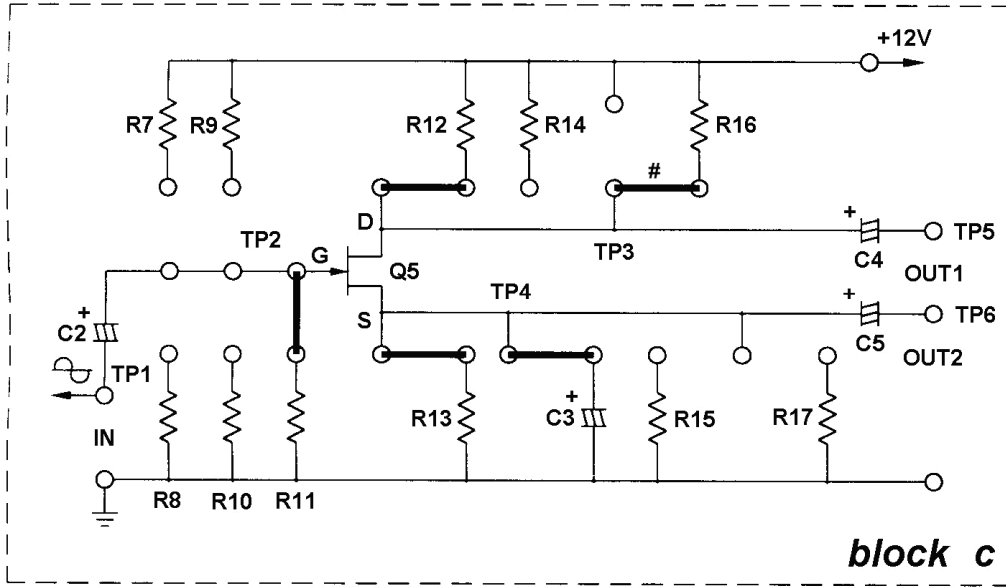
| | | | | | | |
|-------|------|----------|----------|-------|---------------------------------|----------------------------------|
| | R12 | V_{DS} | V_{GS} | V_D | $A_v = \frac{V_{opp}}{V_{ipp}}$ | Giriş/çıkış arasındaki faz farkı |
| | 3.3K | | | | | |
| GİRİŞ | | | | | | |
| ÇIKIŞ | | | | | | |
| | R16 | V_{DS} | V_{GS} | V_D | $A_v = \frac{V_{opp}}{V_{ipp}}$ | Giriş/çıkış arasındaki faz farkı |
| | 6.8K | | | | | |
| GİRİŞ | | | | | | |
| ÇIKIŞ | | | | | | |

| | C3 | V_{DS} | V_{GS} | V_D | $A_v = \frac{V_{opp}}{V_{ipp}}$ | Giriş/çıkış arasındaki faz farkı |
|-------|-------------|----------|----------|-------|---------------------------------|----------------------------------|
| | Bağlı değil | | | | | |
| GİRİŞ | | | | | | |
| ÇIKIŞ | | | | | | |

Tablo 9-1-1



Şekil 9-1-6 Kendinden öngerilimli ortak-kaynak yükseltici



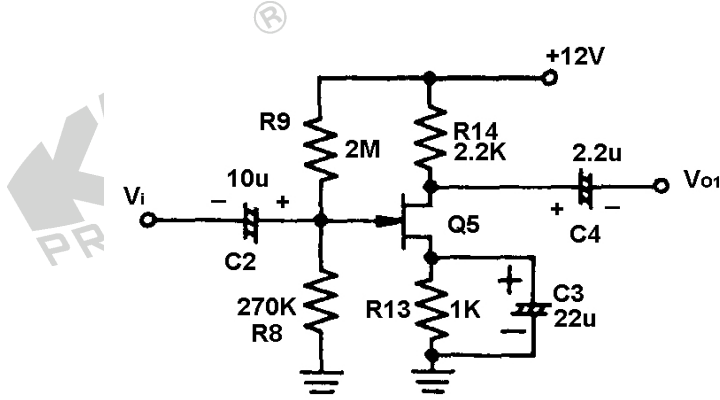
Şekil 9-1-7 Bağlantı diyagramı (KL-25005 blok c)

B. Gerilim Bölücülü Öngerilimli Ortak Kaynak JFET Yükseltici

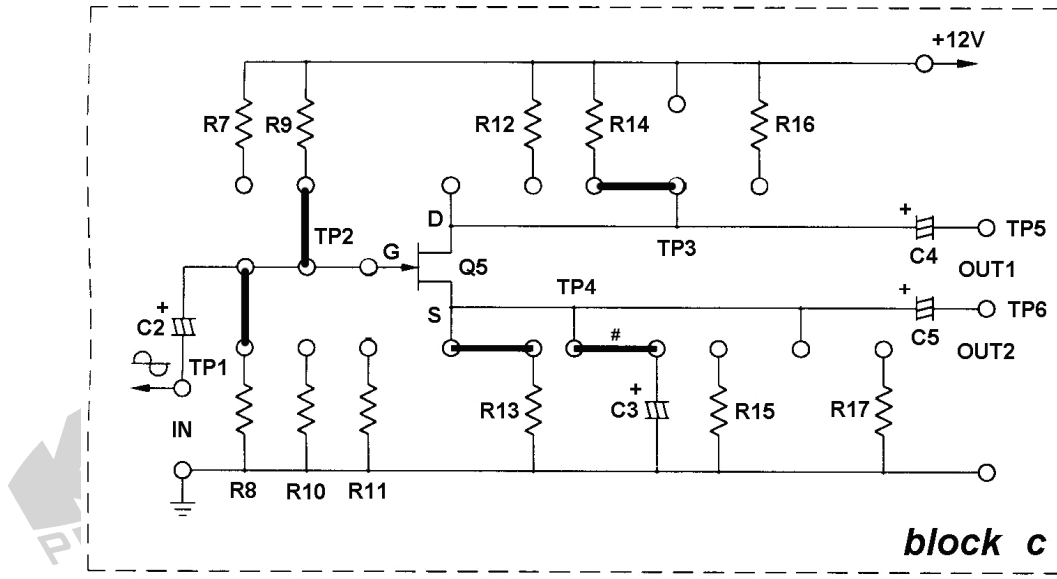
- Şekil 9-1-8'deki devre ve Şekil 9-1-9'daki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenegindeki sabit 12VDC güç kaynağını, KL-25005 modülüne bağlayın.
- DC voltmetre kullanarak, V_{DS} ve V_{GS} 'yi ölçün ve Tablo 9-1-2'ye kaydedin.
- KL-22001 Düzeneginin üzerindeki Fonksiyon Üreticini kullanarak, IN (TP1) ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT1 (TP5) çıkış ucuna osiloskop bağlayın.
- Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde, sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT1 ucundaki çıkış dalga şeklini ölçün ve Tablo 9-1-2'ye kaydedin. Giriş ve çıkış sinyalleri arasındaki farz farkını karşılaştırın. A_V 'yi hesaplayın.
- # işaretli klipsi çıkartarak C3'ü devre dışı bırakın ve 2. adımdan 4. adıma kadar olan işlemleri tekrarlayın.

| | V _{DS} | V _{GS} | C3 | V _{DS} | V _{GS} | C3 |
|----------------------------------|-----------------|-----------------|------|-----------------|-----------------|-------------|
| | | | 22µF | | | Bağlı değil |
| GİRİŞ | | | | | | |
| ÇIKIŞ | | | | | | |
| $A_v = \frac{V_{opp}}{V_{ipp}}$ | | | | | | |
| Giriş/çıkış arasındaki faz farkı | | | | | | |

Tablo 9-1-2



Şekil 9-1-8 Gerilim bölücü öngerilimli ortak kaynak yükseltec



Şekil 9-1-9 Bağlantı diyagramı (KL-25005 blok c)

SONUÇLAR

Bu deneyde, ortak kaynaklı JFET yükseltecin giriş ve çıkış sinyalleri arasındaki faz farkı ve gerilim kazancı ölçülmüştür. Ortak emetörlü transistörlü yükselteçte olduğu gibi, giriş ve çıkış sinyalleri arasında 180° faz farkı vardır.

Gerilim kazancı, R_D 'nin büyüklüğüne bağlıdır. R_D değeri büyüdükçe, gerilim kazancı da artmaktadır ($A_v = g_m R_d', R_d' = r_d // R_D$). Bunun yanında, kaynak köprüleme kondansatörü de gerilim kazancını etkilemektedir. Eğer köprüleme kondansatörü devre dışı bırakılırsa, negatif geribesleme ortaya çıktığı için, ortak kaynak yükseltecin gerilim kazancı azalır.

DENEY 9-2 Ortak-Akaçlı (CD) JFET Yükselteç

DENEYİN AMACI

1. Ortak-akaçlı JFET yükseltecin öngerilim düzenlemesini anlamak.
2. Ortak-akaçlı JFET yükseltecin statik ve dinamik karakteristiklerini ölçmek.

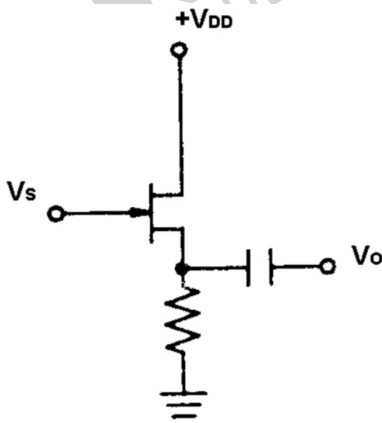
GENEL BİLGİLER

JFET'li ortak-akaç yükselteç devresi Şekil 9-2-1'de gösterilmiştir. Bu yükseltecin özellikleri ortak kollektörlü transistörlü yükselteç ile benzerdir. Ortak akaçlı yükseltecin ac karakteristikleri:

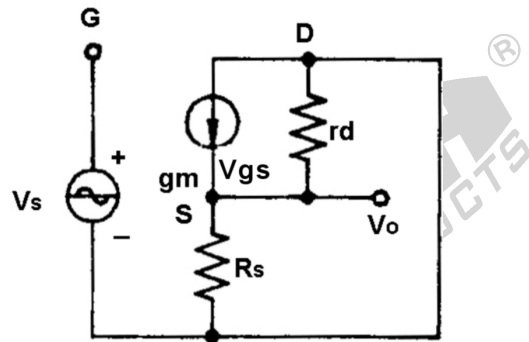
$$A_v = \frac{V_o}{V_s} = \frac{\mu}{1 + \mu} \cong 1 \quad (1\text{'den biraz küçük})$$

$$Z_o = \frac{R_d + r_d}{1 + \mu} \text{ çok küçüktür, } Z_o' = Z_o // R_s$$

Çıkış sinyalinin fazı giriş sinyaliyle aynıdır. Z_i çok büyüktür ($Z_i = \infty$).



(a) Devre



(b) AC eşdeğer devre

Şekil 9-2-1 Ortak akaçlı JFET yükselteci


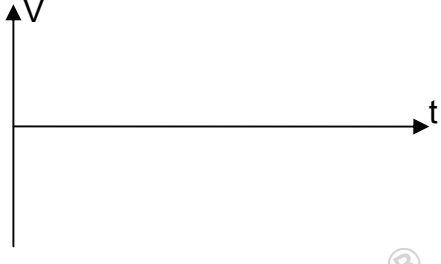
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devresi Laboratuvarı
2. KL-25005 FET Devre Deney Modülü
3. Osiloskop

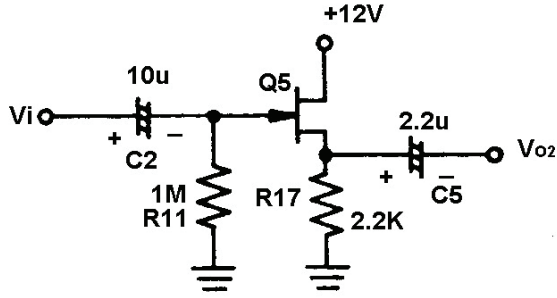
DENEYİN YAPILIŞI

A. Kendinden Öngerilimli Ortak-Akaçlı JFET Yükselteci

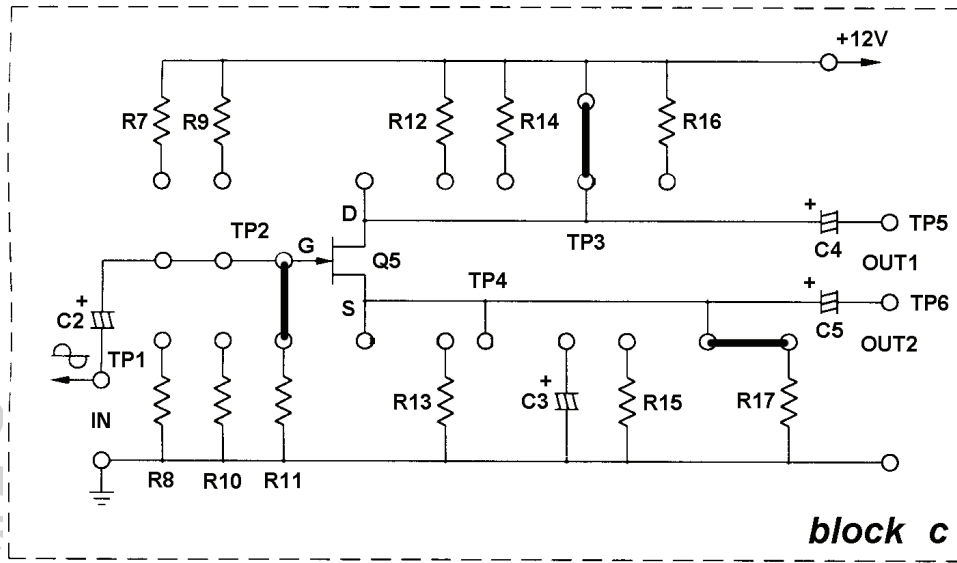
1. KL-25005 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzenine üzerine koyun ve c bloğunun konumunu belirleyin. Şekil 9-2-2'deki devre ve Şekil 9-2-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenindeki 12VDC sabit güç kaynağını, KL-25005 modülüne bağlayın.
2. DC voltmetre kullanarak, V_G , V_S ve V_{GS} 'yi ölçün.
 $V_G =$ _____
 $V_S =$ _____
 $V_{GS} =$ _____
3. KL-22001 Düzenindeki üzerindeki Fonksiyon Üreticini kullanarak, IN (TP1) ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT2 (TP6) çıkış ucuna osiloskop bağlayın.
4. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde, sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT2 ucundaki çıkış dalga şeklini ölçün ve Tablo 9-2-1'e kaydedin. Giriş ve çıkış sinyalleri arasındaki faz farkını karşılaştırın. A_v 'yi hesaplayın.

| | |
|----------------------------------|--|
| GİRİŞ |  |
| ÇIKIŞ |  |
| $A_v = \frac{V_{opp}}{V_{ipp}}$ | |
| Giriş/çıkış arasındaki faz farkı | |

Tablo 9-2-1





Şekil 9-2-2



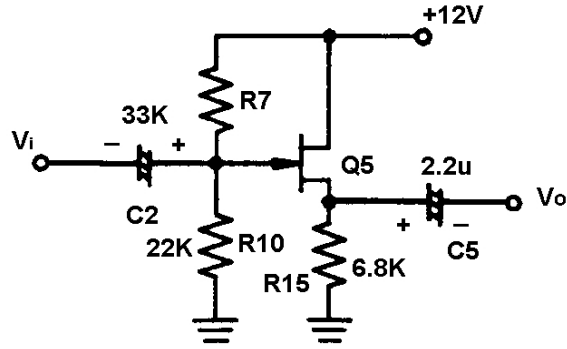
Şekil 9-2-3 Bağlantı diyagramı (KL-25005 blok c)

B. Gerilim Bölücülü Öngerilimli Ortak Akaç JFET Yükseltici

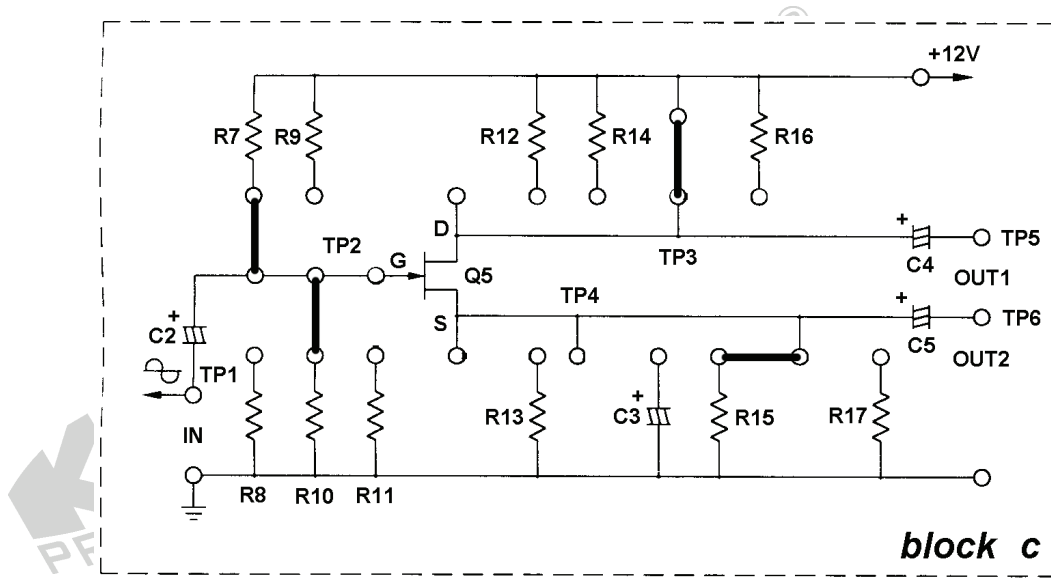
- Şekil 9-2-4'teki devre ve Şekil 9-2-5'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneğindeki 12VDC sabit güç kaynağını, KL-25005 modülüne bağlayın.
- DC voltmetre kullanarak, V_G , V_S ve V_{GS} 'yi ölçün.
 $V_G =$ _____
 $V_S =$ _____
 $V_{GS} =$ _____
- KL-22001 Düzeneğinin üzerindeki Fonksiyon Üreticini kullanarak, IN (TP1) ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT2 (TP6) çıkış ucuna osiloskop bağlayın.
- Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde, sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT2 ucundaki çıkış dalga şeklini ölçün ve Tablo 9-2-1'e kaydedin. Giriş ve çıkış sinyalleri arasındaki faz farkını karşılaştırın. A_V 'yi hesaplayın.

| | |
|----------------------------------|--|
| GİRİŞ |  |
| ÇIKIŞ |  |
| $A_v = \frac{V_{opp}}{V_{ipp}}$ | |
| Giriş/çıkış arasındaki faz farkı | |

Tablo 9-2-2



Şekil 9-2-4



Şekil 9-2-5 Bağlantı diyagramı (KL-25005 blok c)

SONUÇLAR

Bu deneyde, ortak-akaçlı JFET yükseltecin giriş ve çıkış sinyalleri arasındaki faz farkı ve gerilim kazancı ölçülmüştür. Ortak kollektörlü yükselteçte olduğu gibi, giriş ve çıkış sinyalleri arasında faz farkı yoktur (0°). Ortak-akaçlı JFET yükseltecin gerilim kazancı 1'den biraz küçüktür.

DENEY 9-3 Ortak Kaynaklı (CS) MOSFET Yükselteç

DENEYİN AMACI

1. Ortak kaynaklı MOSFET yükseltecin öngerilim düzenlemesini anlamak.
2. Ortak kaynaklı MOSFET yükseltecin dinamik karakteristiklerini ölçmek.

GENEL BİLGİLER

Şekil 9-3-1'de, n-kanallı kanal ayarlamalı MOSFET için gerilim bölücülü öngerilim devresi gösterilmiştir.

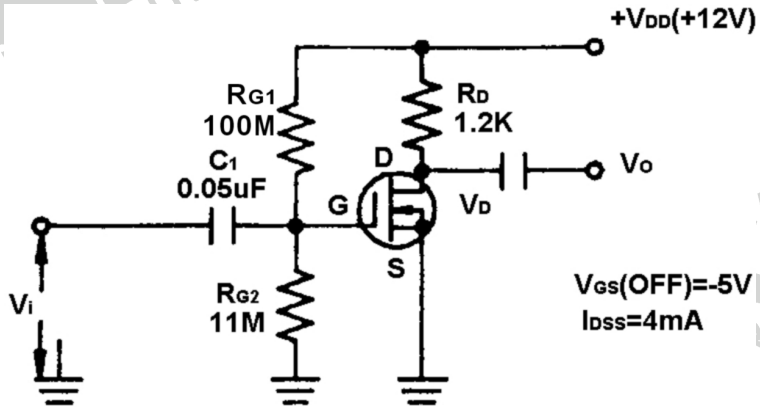
Thevenin teoreminden,

$$V_{GQ} = V_{DD} \times \frac{R_{G2}}{R_{G1} + R_{G2}}$$

$$V_{GSQ} = V_G - V_S = V_G$$

$$V_{DSQ} = V_{DD} - I_D (R_S + R_D)$$

$$I_{DQ} = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2$$



Şekil 9-3-1 N-kanallı kanal ayarlamalı MOSFET için gerilim bölücülü öngerilim devresi

KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devresi Laboratuvarı
2. KL-25005 FET Devre Deney Modülü
3. Osiloskop

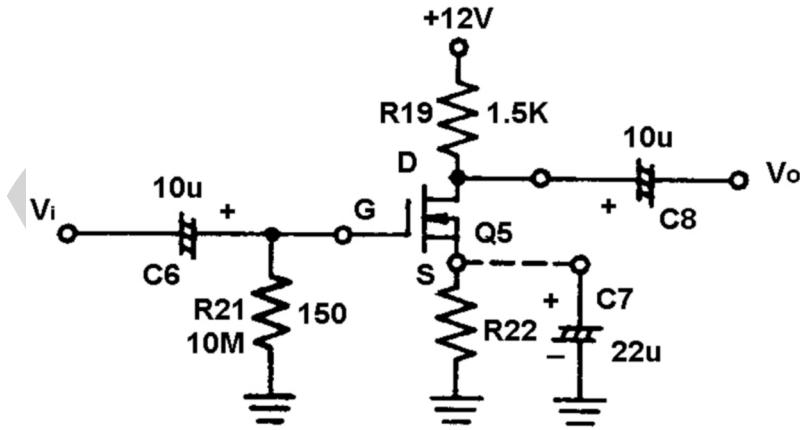
DENEYİN YAPILIŞI

A. Kendinden Öngerilimli Ortak-Kaynaklı MOSFET Yükselteç

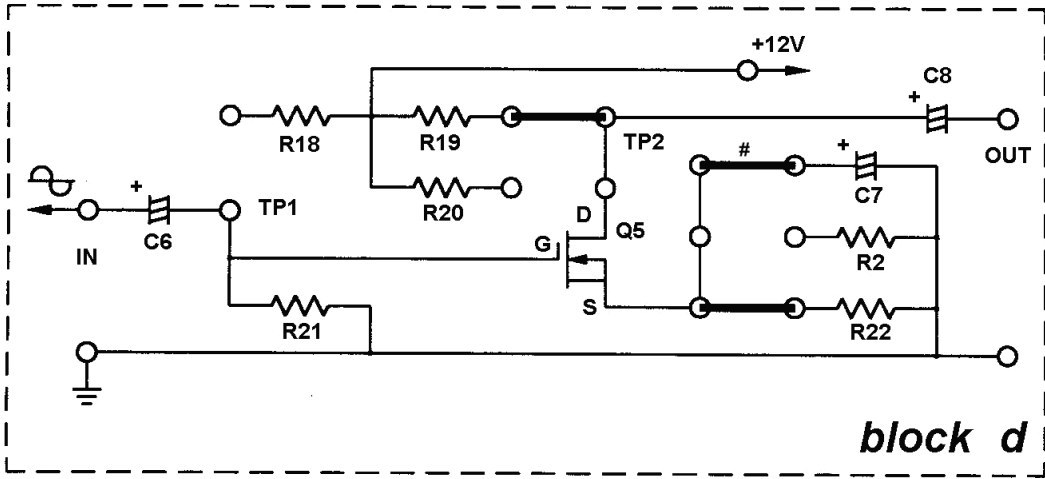
1. KL-25005 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzenekinin üzerine koyun ve d bloğunu belirleyin. Şekil 9-3-2'deki devre ve Şekil 9-3-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenekindeki sabit 12VDC güç kaynağını, KL-25005 modülüne bağlayın.
2. KL-22001 Düzenekindeki Fonksiyon Üreticini kullanarak, IN ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT çıkış ucuna osiloskop bağlayın.
3. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde, sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT ucundaki çıkış dalga şeklini ölçün ve Tablo 9-3-1'e kaydedin. Giriş ve çıkış sinyalleri arasındaki faz farkını karşılaştırın. A_v 'yi hesaplayın.
4. # işaretli klipsi çıkartarak C7(22 μ F)'yi devre dışı bırakın. 2. ve 3. adımdaki işlemleri tekrarlayın.

| | C7=22μF | C7 bağlı değil |
|----------------------------------|---------|----------------|
| GİRİŞ | | |
| ÇIKIŞ | | |
| $A_v = \frac{V_{opp}}{V_{ipp}}$ | | |
| Giriş/çıkış arasındaki faz farkı | | |

Tablo 9-3-1



Şekil 9-3-2 Kendinden öngerilimli MOSFET CS yükselteç



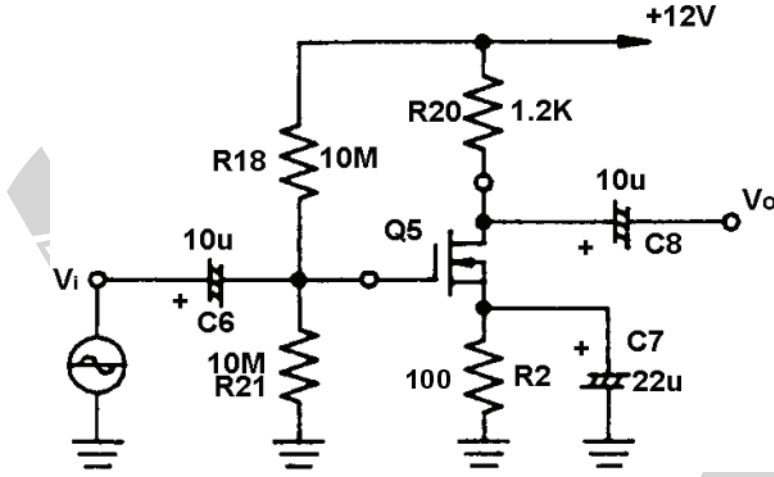
Şekil 9-3-3 Bağlantı diyagramı (KL25005 blok d)

B. Gerilim Bölücülü Öngerilimli Ortak-Kaynak JFET Yükseltici

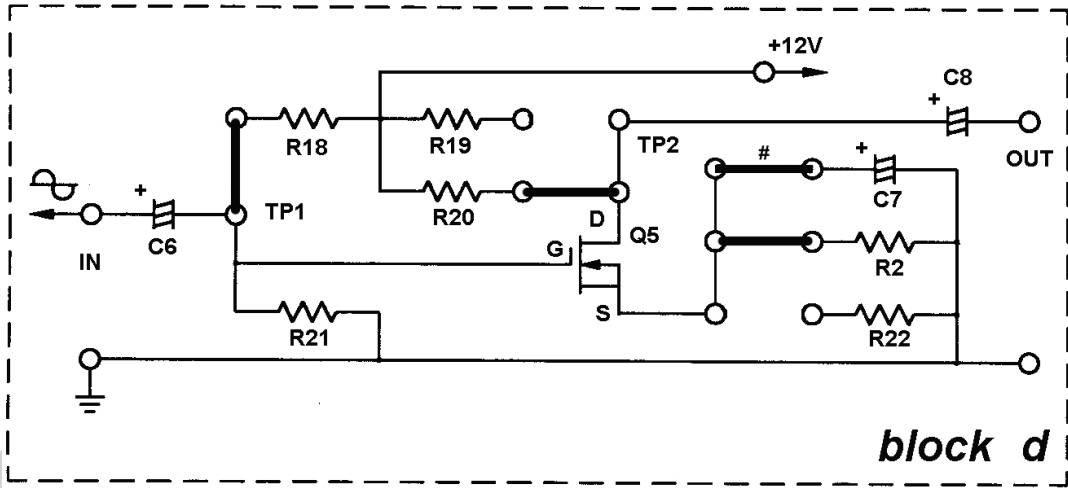
1. Şekil 9-3-4'teki devre ve Şekil 9-3-5'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenegindeki sabit 12VDC güç kaynağını, KL-25005 modülüne bağlayın.
2. KL-22001 Düzenegindeki Fonksiyon Üreticini kullanarak, IN ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT çıkış ucuna osiloskop bağlayın.
3. Osiloskop ekranında görüntülenen çıkış dalga şekli bozulmayacak şekilde, sinüzoidal sinyalin genliğini artırın. IN ucundaki giriş dalga şeklini ve OUT ucundaki çıkış dalga şeklini ölçün ve Tablo 9-3-2'ye kaydedin. Giriş ve çıkış sinyalleri arasındaki farz farkını karşılaştırın. A_v 'yi hesaplayın.
4. # işaretli klipsi çıkartarak C7(22 μ F)'yi devre dışı bırakın. 2. ve 3. adımdaki işlemleri tekrarlayın.

| | C7=22μF | C7 bağlı değil |
|----------------------------------|---------|----------------|
| GİRİŞ | | |
| ÇIKIŞ | | |
| $A_v = \frac{V_{opp}}{V_{ipp}}$ | | |
| Giriş/çıkış arasındaki faz farkı | | |

Tablo 9-3-2



Şekil 9-3-4 Gerilim bölücülü öngerilimli MOSFET CS yükselteç



Şekil 9-3-5 Bağlantı diyagramı (KL25005 blok d)

SONUÇLAR

Bu deneyde ortak kaynaklı MOSFET yükseltecin giriş ve çıkış sinyalleri arasındaki faz farkı ve gerilim kazancı ölçülmüştür. Ortak kaynaklı JFET yükseltecinde olduğu gibi, ortak kaynaklı MOSFET yükseltecin giriş ve çıkış sinyalleri arasında da 180° faz farkı vardır.

Bunun yanında, kaynak köprüleme kondansatörü de gerilim kazancını etkilemektedir. Eğer köprüleme kondansatörü devre dışı bırakılırsa, negatif geribesleme ortaya çıktığı için, ortak kaynaklı MOSFET yükseltecin gerilim kazancı azalır.

Bölüm 10 İşlemsel Yükselteç Karakteristikleri

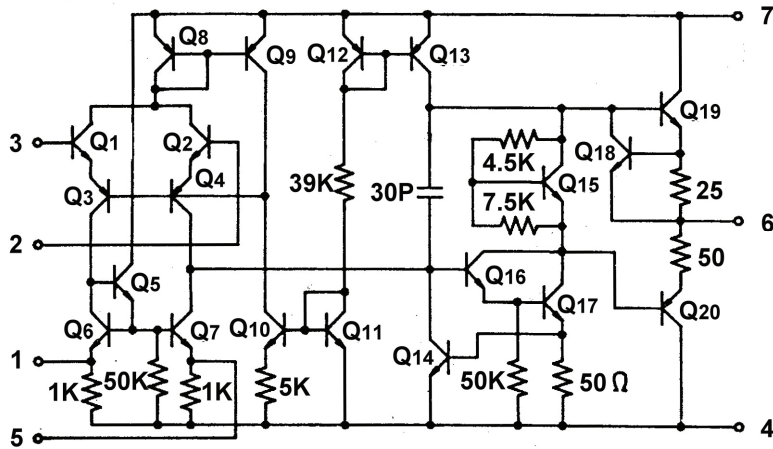
DENEY 10-1 Fark Yükselteci

DENEYİN AMACI

1. Transistörlü fark yükseltecinin çalışma prensibini anlamak.
2. Fark yükseltecinin giriş ve çıkış dalga şekillerini ölçmek.

GENEL BİLGİLER

Şekil 10-1-1'de, pratik bir işlemsel yükselteç ($\mu A741$) eşdeğer devresi gösterilmiştir. Bu devrenin yapısı, giriş katı fark yükselteci düzenlemesine sahip, çıkışı kapasitesiz (OCL) yükselteç yapısına benzemektedir.



Şekil 10-1-1 $\mu A741$ 'in eşdeğer devresi

Fark yükseltecinin özellikleri aşağıda kısaca analiz edilmiştir.

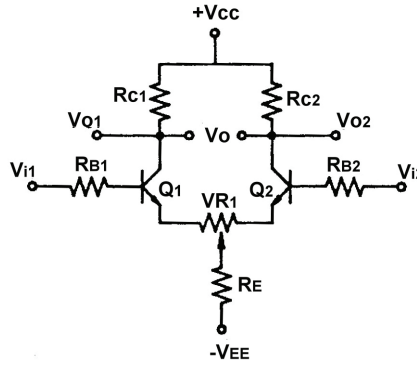
1. Fark yükseltecinin devre yapısı

Şekil 10-1-2(a)'da, ortak emetör direncine sahip iki adet ortak emetörlü yükselteç, iki giriş terminali (V_{i1} , V_{i2}) ve iki çıkış terminalinden (V_{o1} , V_{o2}) oluşan fark yükselteci devresi gösterilmiştir. Bir fark yükselteci entegre devresinin komple iç devresi Şekil 10-1-2(b)'de, devre sembolü ise Şekil 10-1-2(c)'de gösterilmiştir.

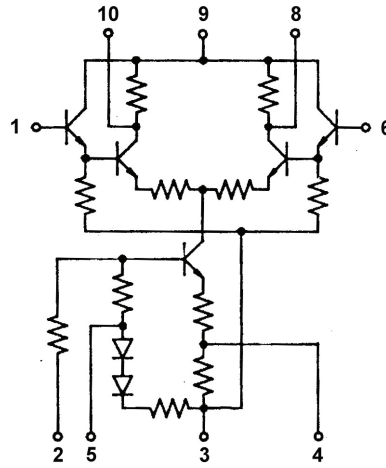
Fark yükseltecinin çıkış sinyali, iki giriş sinyali farkının yükseltilmesiyle elde edilir. Diğer bir ifadeyle çıkış sinyali, iki giriş sinyali arasındaki fark ile doğru orantılıdır:
 $V_o = A_v(V_{i1} - V_{i2})$.

2. Fark yükseltecinin giriş/çıkış konfigürasyonları:

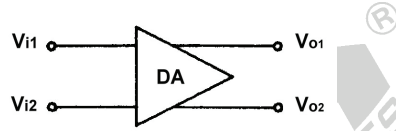
- (1) Tek giriş, dengesiz çıkış
- (2) Tek giriş, dengeli çıkış
- (3) Çift giriş, dengesiz çıkış
- (4) Çift giriş, dengeli çıkış



(a) Temel devre



(b) Fark yükselteci IC'in iç devresi



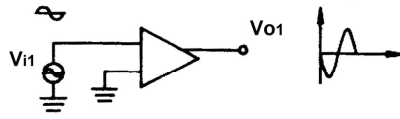
(c) Sembol

Şekil 10-1-2 Fark yükseltici

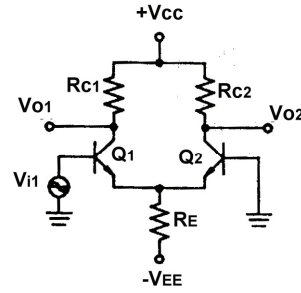
Fark yükseltcinin giriş/çıkış konfigürasyonları aşağıda analiz edilmiştir:

Tek Giriş, Dengesiz Çıkış

Şekil 10-1-3'de gösterildiği gibi, Q1 ortak emetör düzenlemesine sahip olduğu için, V_{i1} baza uygulanır ve yükseltilir, çıkış da kollektörden alınır. Ortak emetörlü yükselteç karakteristiklerine bağlı olarak, kollektördeki çıkış sinyali, baz giriş sinyaline göre ters fazdadır, yani Q1'in V_{o1} çıkış sinyali V_{i1} ile ters fazdadır. Diğer bir ifadeyle, giriş ve çıkış arasındaki faz farkı 180° 'dir. $V_{o1} = -A_v V_{i1}$.



(a)

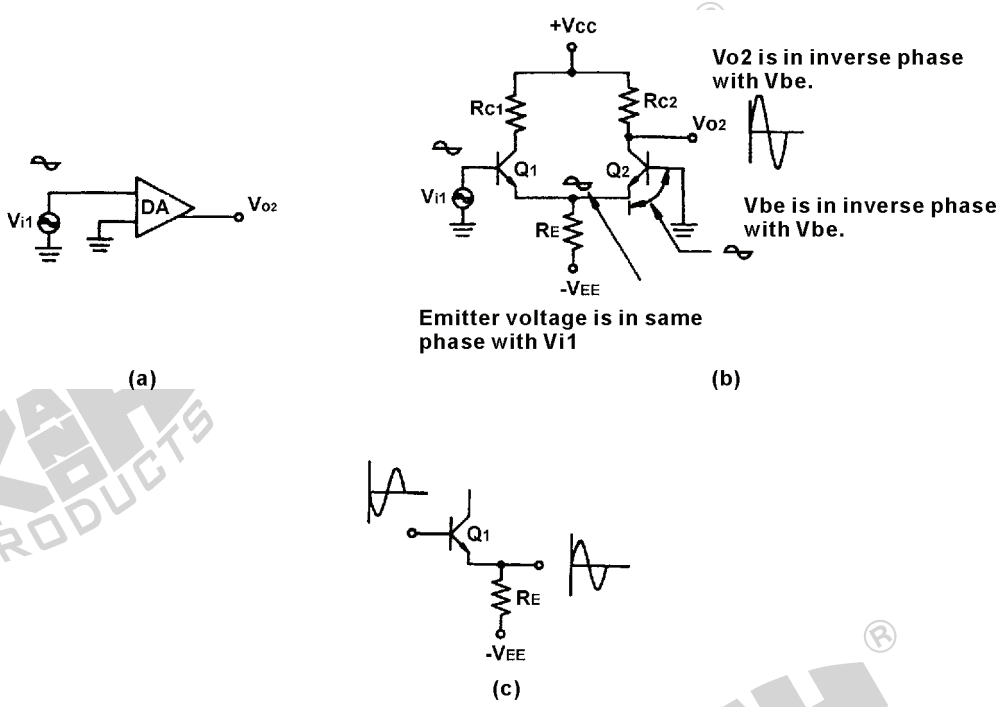


(b)

Şekil 10-1-3 Tek giriş, dengesiz çıkış (V_{o1})

Şekil 10-1-4(c)'de gösterildiği gibi, Q1'in bazına V_{i1} sinyali uygulandığı zaman, kollektörden alınan V_{o1} çıkışına ek olarak, emetörden de çıkış sinyali alınabilir. Emetör izleyici karakteristiklerine bağlı olarak, emetörden alınan çıkış sinyali, bazdaki giriş sinyali ile aynı fazda ve hemen hemen aynı genliktedir ($A_v \approx 1$). Bundan dolayı, Q1'in emetöründen alınan sinyal, V_{i1} ile aynı fazda ve hemen hemen aynı genliktedir.

Q1 ve Q2'nin emetörleri birbirine bağlı olduğu için, bazı toprağa bağlı olan Q2'nin emetöründen alınan sinyal de, Q1 ile aynı şekilde, V_{i1} ile aynı fazda ve hemen hemen aynı genliktedir.

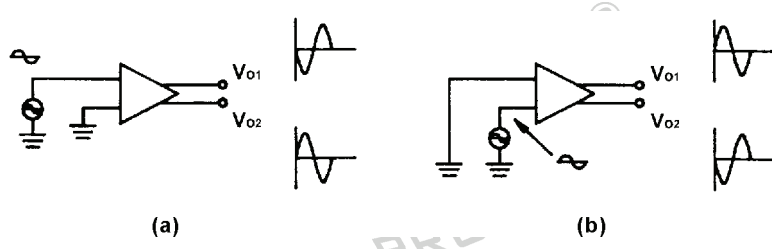


Şekil 10-1-4 Tek giriş, dengesiz çıkış (V_{O2})

Q2'nin bazı direk toprağa bağlıyken, emetör ve toprak arasında Q2'nin emetör sinyali ortaya çıkmaktadır. Emetör ile baz arasında uygulanmış gibi olan bu sinyal, Q2'nin giriş sinyali olarak düşünülebilir. Q2'nin bazındaki sinyal, V_{i1} ile ters fazdadır. Diğer bir ifadeyle, Q2'nin bazına uygulanan sinyal, V_{i1} ile aynı genlikte fakat ters fazdadır.

Q2'nin bazına uygulanan, V_{i1} ile aynı genlikte fakat ters fazda olan sinyal Q2 tarafından yükseltilir ve kollektörden V_{O2} çıkış sinyali olarak alınır. Q2'nin bazındaki sinyal, V_{i1} ile ters fazda olduğu için ve aynı zamanda kollektörden alınan sinyalin baz sinyaliyle ters fazda olması dolayısıyla, V_{O2} , bu baz sinyaliyle ters fazda olduğu için, Şekil 10-1-4(b)'de gösterildiği gibi, V_{O2} , V_{i1} ile aynı fazdadır. Q1 ve Q2'nin gerilim kazançları A_v ise, Q2 baz sinyalinin genliği, Q1'in bazına uygulanan V_{i1} giriş sinyaline eşit olduğu için ($V_{O2}=A_v V_{i1}$) V_{O2} , V_{O1} 'e eşit ancak ters fazdadır.

Özetle, giriş sinyalinin V_{i1} 'e uygulanması durumunda, Şekil 10-1-5(a)'da gösterildiği gibi, V_{O1} 'den ters fazlı yükseltilmiş bir sinyal, V_{O2} 'den aynı fazlı yükseltilmiş bir sinyal elde edilir ve burada V_{O1} 'in genliği V_{O2} 'ye eşittir. Giriş sinyalinin V_{i2} 'ye uygulanması durumunda, Şekil 10-1-5(b)'de gösterildiği gibi, V_{O2} 'den ters fazlı yükseltilmiş bir sinyal, V_{O1} 'den aynı fazlı yükseltilmiş bir sinyal elde edilir.



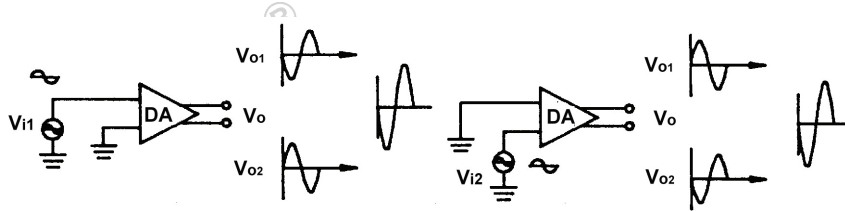
Şekil 10-1-5 Tek girişli fark yükseltecinin çıkış sinyalleri

Giriş sinyali, tek-uç girişli fark yükseltecinin giriş uçlarından herhangi birine uygulandığında, V_{01} ve V_{02} 'den eşit genlikli ve ters fazlı yükseltilmiş sinyaller elde edilebilir.

Tek Giriş, Dengeli Çıkış

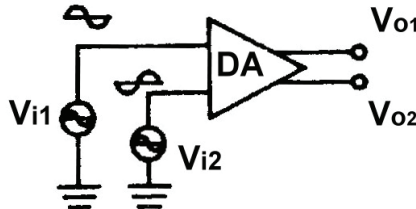
Şekil 10-1-6'da, tek girişli ve dengeli çıkışlı fark yükselteci konfigürasyonu ve dalga şekilleri gösterilmiştir.

$$V_o = V_{01} - V_{02} = 2V_{01} = -2A_v V_{i1} \text{ yada } 2A_v V_{i2}$$



Şekil 10-1-6 Tek girişli fark yükseltecinin çıkış sinyalleri

Çift Giriş, Dengesiz Çıkış



Şekil 10-1-7 Çift giriş, dengesiz çıkış konfigürasyonu

Şekil 10-1-7'de gösterildiği gibi,

$$V_{o1} = -A_v V_{i1} + A_v V_{i2} = -A_v (V_{i1} - V_{i2}) \quad (10-1-1)$$

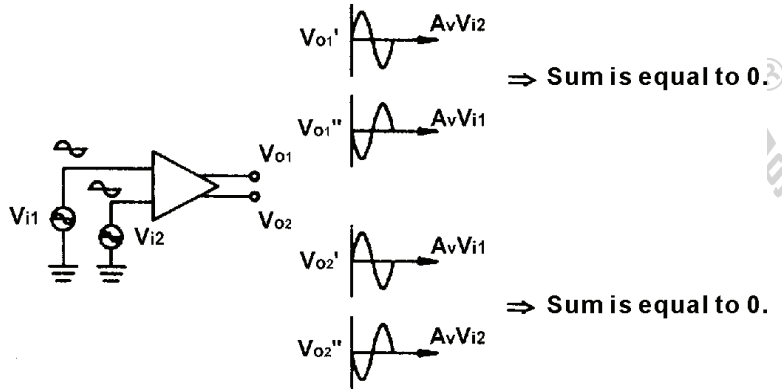
$$V_{o2} = A_v V_{i1} + (-A_v V_{i2}) = A_v (V_{i1} - V_{i2}) \quad (10-1-2)$$

$$V_d = V_{i1} - V_{i2} = V_{i1} - (-V_{i1}) = 2V_{i1} \text{ or } V_d = -2V_{i1}$$

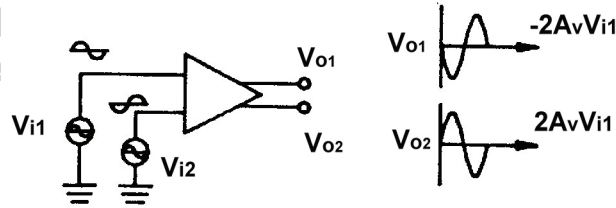
Denklem 10-1-1 ve 10-1-2'den:

Şekil 10-1-8'de gösterildiği gibi, $V_{i1}=V_{i2}$ iken $V_{o1} = 0$ ve $V_{o2}=0$ olur.

Şekil 10-1-9'da gösterildiği gibi, $V_{i1}=-V_{i2}$ iken $V_{o1} = -2A_v V_{i1}$ ve $V_{o2}=2A_v V_{i1}$ olur.



Şekil 10-1-8 $V_{i1} = V_{i2}$ iken, V_{o1} ve V_{o2} dalga şekilleri



Şekil 10-1-9 $V_{i1} = -V_{i2}$ olması durumunda, V_{o1} ve V_{o2} dalga şekilleri

Çift Giriş, Dengeli Çıkış

Şekil 10-1-8 ve 10-1-9'da gösterildiği gibi ,

$$V_o = V_{o1} - V_{o2} = -A_v (V_{i1} - V_{i2}) - A_v (V_{i1} - V_{i2})$$

$$V_o = -2A_v (V_{i1} - V_{i2}) = -2A_v V_d$$

$V_{i1}=V_{i2}$ iken $V_o = 0$ olur.

$V_{i1}=-V_{i2}$ iken $V_o = -2A_v(2V_{i1}) = -4 A_v V_{i1}$ olur.

Fark Yükseltecinin Kazançları

A_c : Ortak mod kazancı; sinyalin kendine göre yükseltme faktörüdür.

A_d : Diferansiyel mod kazancı; fark sinyaline göre yükseltme faktörüdür.

V_c : Ortak mod sinyal (sinyalin kendisi).

V_d : Diferansiyel mod sinyali (fark sinyali).

$$V_o = A_d V_d + A_c V_c$$

İdeal fark yükseltecinde, A_c değeri mümkün olduğunca küçüktür ve V_o değeri A_d ile doğru orantılıdır.

Ortak Mod Bastırma Oranı (CMRR)

$CMRR = A_d/A_c$, fark yükseltecinin (yada OPAMP) gürültüyü bastırma kapasitesini göstermek için kullanılır. CMRR değerinin yüksek olması, daha küçük A_c değerine karşılıktır ve gürültü bastırma kapasitesinin daha iyi olduğunu gösterir.

$$V_o = A_d V_d + A_c V_c = A_d V_d + A_d V_d \times \frac{A_c V_c}{A_d V_d} = A_d V_d \left(1 + \frac{V_c}{V_d} \times \frac{A_c}{A_d}\right)$$

$$V_o = A_d V_d \left(1 + \frac{1}{CMRR} \times \frac{V_c}{V_d}\right)$$

CMRR çok büyük olduğu zaman;

$$V_o = A_d V_d \left(1 + \frac{1}{CMRR} \times \frac{V_c}{V_d}\right) = A_d V_d (1 + 0) = A_d V_d$$

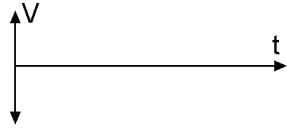
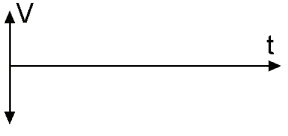
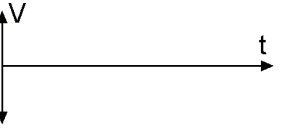



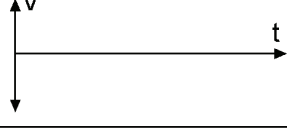
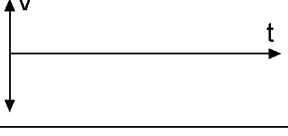
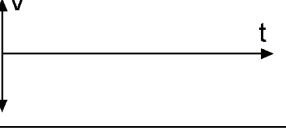
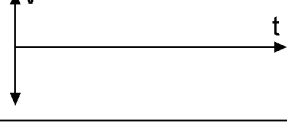
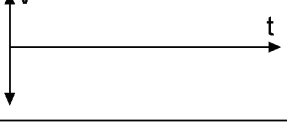
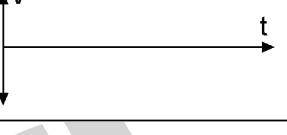
Ortak mod sinyal böylece bastırılmış olur. Gürültü tipik olarak, ortak mod sinyale benzer şekilde, V_{i1} ve V_{i2} 'de eşzamanlı olarak mevcut olacağı için, daha büyük CMRR değerine sahip fark yükselteci, daha iyi gürültü bastırma yeteneğine sahip olacaktır. CMRR değerlerine DA ve OPAMP kataloglarından bakılabilir.

KULLANILACAK ELEMANLAR

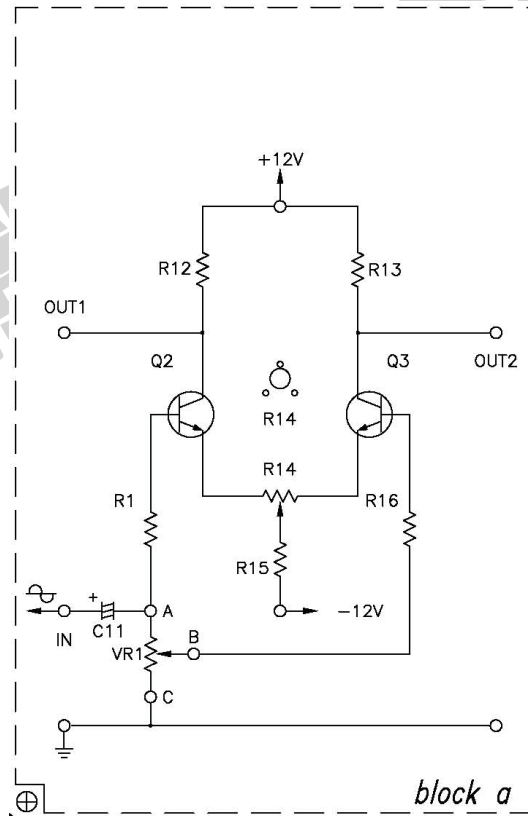
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneđi
2. KL-25006 İşlemsel Yükselteç Devre Modülü (1)
3. Osiloskop

DENEYİN YAPILIŞI

1. KL-25006 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneđinin üzerine koyun ve a bloğunun konumunu belirleyin. Şekil 10-1-10'daki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR1'i devreye bağlayın. KL-22001 Düzeneđindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25006 modülüne bağlayın.
2. KL-22001 Düzeneđinin üzerindeki Fonksiyon Üreticini kullanarak, IN ucuna 1KHz'lik bir sinüzoidal işaret uygulayın.
3. B ve C noktaları arasındaki direnç maksimum ve $V_{IN1}=V_{IN2}$ olacak şekilde VR1'i ayarlayın.
4. Osiloskop girişini (AC bağlantıda) OUT1 ucuna bağlayın. Osiloskop ekranında maksimum, bozulmasız çıkış dalga şekli elde edilecek şekilde, Fonksiyon Üreticinin genlik kontrol düğmesini yavaşça ayarlayın. IN1, IN2, OUT1 ve OUT2 uçlarındaki dalga şekillerini ölçün ve Tablo 10-1-1'e kaydedin.
5. B ve C noktaları arasındaki direnç minimum (0Ω) ve $V_{IN2}=0V$ olacak şekilde VR1'i ayarlayın.
6. 4. adımı tekrarlayın.
7. B ve C noktaları arasındaki direnç 500Ω ve $V_{IN2}= V_{IN1}/2$ olacak şekilde VR1'i ayarlayın.
8. 4. adımı tekrarlayın.

| | $V_{IN1}=V_{IN2}$ | $V_{IN2}=0V$ | $V_{IN2}=1/2V_{IN1}$ |
|------------|---|--|---|
| V_{IN1} |  |  |  |
| V_{IN2} |  |  |  |
| V_{OUT1} |  |  |  |
| V_{OUT2} |  |  |  |

Tablo 10-1-1



Şekil 10-1-10 Bağlantı diyagramı (KL-25006 blok a)

SONUÇLAR

Fark yükselteci, temel bir işlemsel yükselteç konfigürasyonudur ve aşağıdaki özelliklere sahiptir:

1. Yüksek diferansiyel-mod kazancı A_d
2. Düşük ortak-mod kazancı A_c
3. Yüksek ortak-mod bastırma oranı CMRR
4. Esnek giriş/çıkış konfigürasyonları

Tek giriş, dengesiz çıkış

Tek giriş, dengeli çıkış

Çift giriş, dengesiz çıkış

Çift giriş, dengeli çıkış

DENEY 10-2 İşlemsel Yükselteç Karakteristik Ölçümleri

DENEYİN AMACI

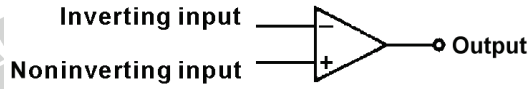
1. Önemli işlemsel yükselteç karakteristiklerini anlamak.
2. Önemli işlemsel yükselteç karakteristiklerini ölçmek.

GENEL BİLGİLER

Temel İşlemsel Yükselteç Karakteristikleri

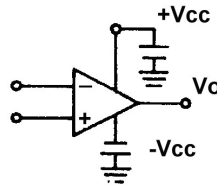
OP-AMP, işlemsel yükselteç olarak adlandırılan bir IC'dir ve aynı zamanda OPA olarakta kısaltılabilir.

OPA, bir eviren giriş ucu (-), bir evirmeyen giriş ucu (+) ve bir çıkış terminalinden oluşan bir yükselteçtir ve sembolü Şekil 10-2-1'de gösterilmiştir.



Şekil 10-2-1 OP-AMP sembolü

OPA genellikle aynı genlikte ($\pm 3V \sim \pm 15V$ aralığında, çoğunlukla $\pm 12V$) ve zıt polaritede iki güç kaynağı ile çalışır. Bağlantı, Şekil 10-2-2'de gösterilmiştir.



Şekil 10-2-2 Çift besleme gerilimli OP-AMP

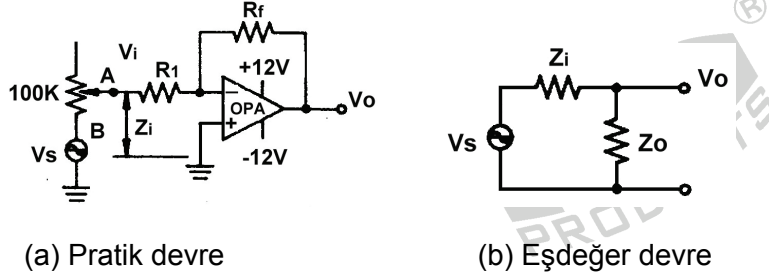
Şekil 10-1-1'de gösterilen OP-AMP eşdeğer devresi (741 örneği), OCL AMP'a çok benzemektedir. $V_i=0V$ iken $V_o=0V$ olacaktır. OP-AMP tek güç kaynağı ile de çalışabilir, ancak bu durumda V_i uygulandığında, V_o 0V yerine $V_{cc}/2$ olacaktır.

İdeal işlemsel yükselteç aşağıdaki karakteristiklere sahiptir:

1. $A_V = \infty$
2. $Z_i = \infty$
3. $Z_o = 0$
4. $BW = \infty$
5. $V_i = 0$ iken $V_o = 0$.
6. Karakteristikler sıcaklığa duyarlı değildir.

Yaygın olarak kullanılan karakteristik parametreler aşağıda tanımlanmıştır:

Giriş Empedansı (Z_i)

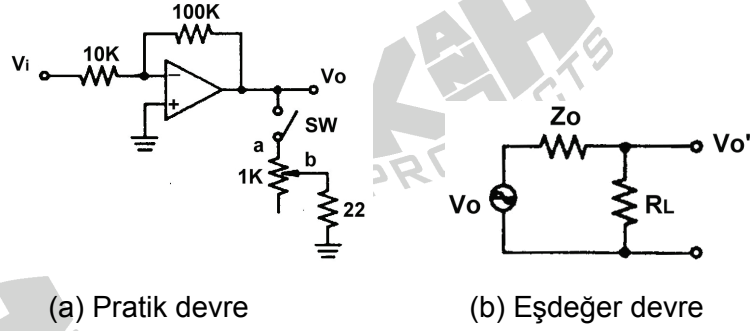


Şekil 10-2-3 Z_i ölçüm devresi

OP-AMP'ın ideal Z_i değeri ∞ olup, gerçek değeri çok büyüktür. Bununla birlikte, Şekil 10-2-3(a)'da gösterildiği gibi, çeşitli devrelerin bağlanmasından sonra Z_i , çevre elemanların (R_1 ve R_f) etkilerini de içerecektir. Şekil 10-2-3(b)'de gösterilen Z_i , yükleme etkisi kavramı kullanılarak hesaplanmaktadır.

Eğer $V_o = \frac{1}{2} V_s$, $Z_i = Z_o$ olur.

Çıkış Empedansı (Z_o)

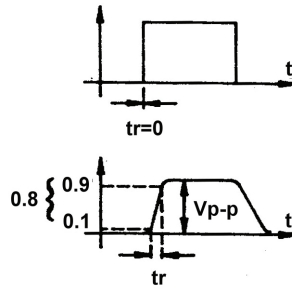


Şekil 10-2-4 Z_o ölçüm devresi

Şekil 10-2-4(a)'daki Z_o hesaplama yöntemi, Z_i hesaplama yöntemi ile aynıdır. Şekil 10-2-4(b)'de gösterildiği gibi, $R_L = \infty$ iken $V_o' = V_o$ 'dır ve $Z_o = R_L$ iken $V_o' = V_o/2$ 'dir.

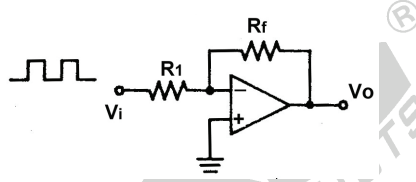
Şekil 10-2-4(a)'da gösterildiği gibi, ilk önce VR1K, $V_o' = V_{CC}/2$ olacak şekilde ayarlanır ve Z_o 'a eşit olan R_L (VR1Kab + 22Ω) değeri ölçülür. $V_o' = V_{CC}/2$ ayarlanamazsa, Z_o 'ı hesaplamak için $V_o' = V_o R_L / (Z_o + R_L)$ gerilim bölücü denklemi kullanılabilir. Daha sonra $R_L = \infty$ yapılarak V_o ölçülebilir.

Yükselme Hızı (SR)



Şekil 10-2-5 Yükselme zamanı (t_r) ve yükselme hızı (SR) arasındaki ilişki

Şekil 10-2-5'te gösterildiği gibi, SR, OPA'nın sinyal iletim hızını göstermek için kullanılır. SR'nin büyük olması, sinyalin daha çabuk iletilmesine karşılık gelir ve aynı zamanda yüksek frekanslı sinyallerle çalışabilme kapasitesinin daha fazla olduğunu ifade eder. Genel olarak, daha büyük SR değeri daha yüksek bant genişliği anlamına gelmektedir.



Şekil 10-2-6 SR ölçüm devresi

SR ölçüm devresi Şekil 10-2-6'da gösterilmiştir. t_r ve V_{P-P} , V_O dalga şekliyle hesaplanabilir. Daha sonra $SR=0.8V_{P-P}/t_r$ denklemi yardımıyla SR değeri hesaplanabilir. Burada $0.8V_{P-P}$, yükselme zamanı süresince gerilimdeki değişimi ve t_r yükselme zamanını göstermektedir.

Bant Genişliği (BW)

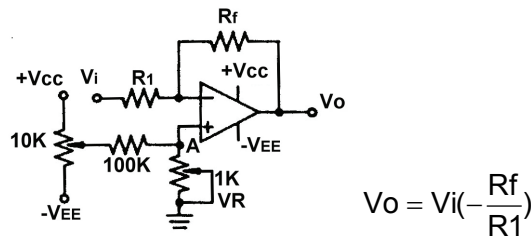
İdeal OPA'nın bant genişliği ∞ olmakla birlikte gerçekte durum böyle değildir. Kataloglarda verilen tipik BW değeri birkaç MHz mertebesindedir. Pratikte, bant genişliğinin çok küçük olması, yüksek frekans devreleri için uygun değildir.

Ofset Gerilimi Ayarlama

İdeal OPA'larda $V_i=0$ iken $V_o=0V$ olmalıdır, ancak pratikte durum böyle olmamakta ve genellikle $V_i=0$ iken $V_o \neq 0V$ olmaktadır.

OPA'nın bir kontrol devresinde kullanılması durumunda, $V_i=0V$ iken V_o 'ın $0V$ 'dan farklı olması, devrenin çalışmasını etkileyecektir. Pratik devrelerde, $V_i=0$ iken $V_o=0V$ olmasını sağlamak için, ofset gerilim ayarı gerçekleştirilmelidir. Ofset gerilimi ayarlama yöntemleri aşağıdaki gibi sınıflandırılabilir.

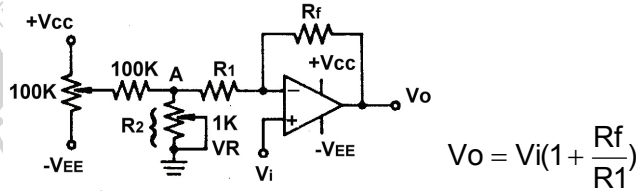
1. Eviren yükselteçte ofset



Şekil 10-2-7 Eviren yükselteç için ofset gerilimi ayarı

$V_i=0V$ iken, V_R 'yi $V_o=0V$ olacak şekilde ayarlayın. V_i toprağa bağlıken $V_o=V_A(1+R_f/R_1)$ olduğu için, V_R $1K\Omega$ ve V_R $100K\Omega$ dirençlerinin ayarlanması V_o değerini değiştirebilir.

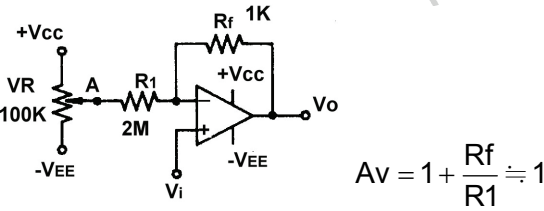
2. Evirmeyen yükselteçte offset



Şekil 10-2-8 Evirmeyen yükselteç için offset gerilimi ayarı

$A_v = -R_f/(R_1+R_2)$ olduğu için, $A_v \approx -R_f/R_1$ olması için, R_2 R_1 'den çok daha küçük olmalıdır. $V_i=0$ (toprağa bağlı) iken $V_o=V_A(-R_f/R_1)$ olduğu için, V_R $1K\Omega$ ve V_R $100K\Omega$ dirençlerinin ayarlanması V_o değerini değiştirebilir.

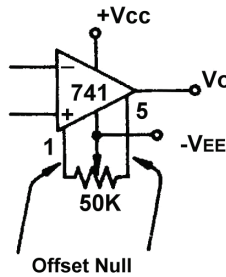
3. Gerilim izleyicide offset ayarı



Şekil 10-2-9 Gerilim izleyici için offset gerilimi ayarı

$V_i=0$ (giriş topraklanmış) iken $V_o=V_A(-R_f/R_1)$ olduğu için, V_R $100K\Omega$ direncinin ayarlanması V_o değerini değiştirebilir.

4. İşlemsel yükselteçte offset null



Şekil 10-2-10 Offset null devresi

Şekil 10-2-10'da gösterilen devre, IC'nin offset null uçları kullanılarak gerçekleştirilir ve daha sonra V_o değeri, IC'nin dahili diferansiyel katmanının denge durumu ayarlanarak geliştirilebilir.

KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25006 İşlemsel Yükselteç Devre Modülü (1)
3. Osiloskop
4. Multimetre

DENEYİN YAPILIŞI

A. Z_i 'nin Ölçülmesi

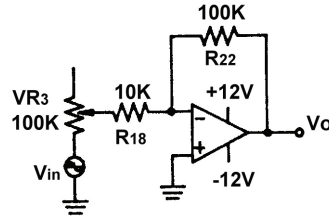
1. KL-25006 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve b bloğunu belirleyin. Şekil 10-2-11'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR3'ü devreye bağlayın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25006 modülüne bağlayın.
2. KL-22001 Düzeneğindeki Fonksiyon Üreticini kullanarak, IN1 (TP1) ucuna 1KHz'lik sinüzoidal işaret uygulayın ve çıkış genliğini minimuma ayarlayın.
3. VR3(100K)'ü minimuma ayarlayın (B ve C uçları arası kısa devre). OUT (TP5) ucuna osiloskobun girişini bağlayın.
4. OUT (TP5) ucundan maksimum, bozulmasız çıkış dalga şekli elde edilecek şekilde, giriş genliğini yavaşça artırın.
5. IN1 (TP1) giriş ucundaki dalga şeklini ölçün ve kaydedin.

6. VR3'ü, OUT (TP5) ucundaki çıkış sinyali, 4. adımdaki dalga şeklinin yarısı olana kadar ayarlayın.

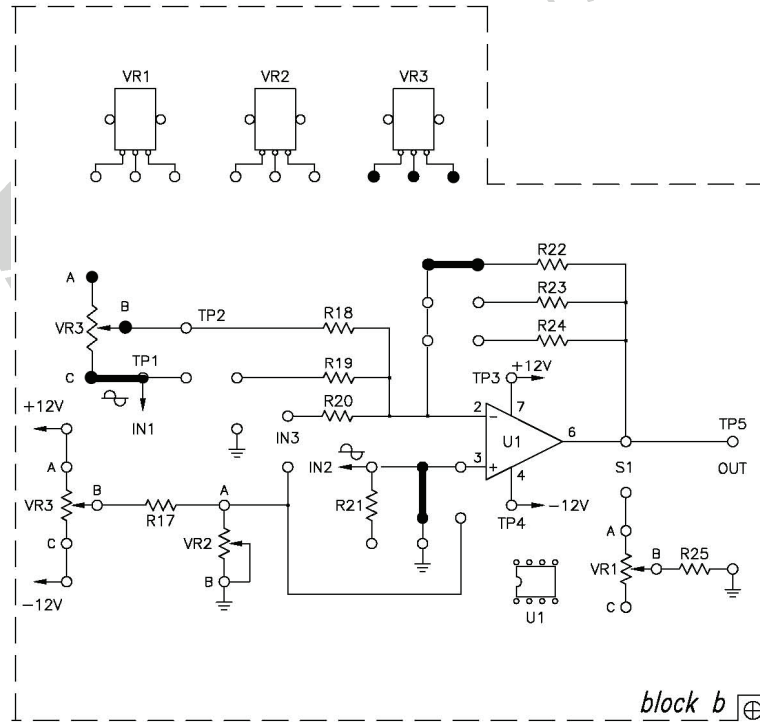
7. Güç kaynağını kapatın. VR3'ün bağlantı kablolarını çıkartın.

8. Multimetre kullanarak (Ω konumunda), VR3'ün B ve C uçları arasındaki direnç değerini ölçün ve kaydedin. Ölçülen değer, işlemsel yükselticinin Z_i direnç değeridir.

$Z_i =$ _____



Şekil 10-2-11 Z_i ölçüm devresi



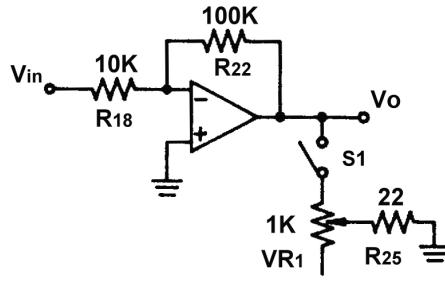
Şekil 10-2-12 Bağlantı diyagramı (KL-25006 blok b)

B. Z_o 'ın Ölçülmesi

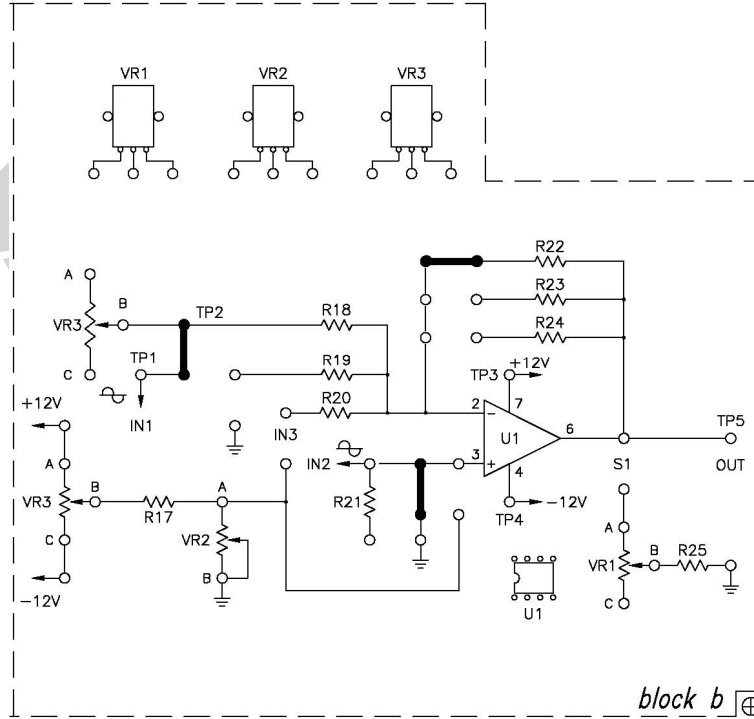
1. Şekil 10-2-13'teki devre ve Şekil 10-2-14'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR1'i devreye bağlayın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25006 modülüne bağlayın.
2. KL-22001 Düzeneğindeki Fonksiyon Üreticini kullanarak, IN1 (TP1) ucuna 1KHz'lik sinüzoidal işaret uygulayın.
3. OUT (TP5) ucundan maksimum, bozulmasız çıkış dalga şekli elde edilecek şekilde, Fonksiyon Üreticinin genliğini ayarlayın.
4. Çıkış geriliminin tepeden tepeye değerini kaydedin.
 $V_{OUT} = \text{_____} V_{P-P}$
5. S1 konumuna bir klips yerleştirin ve V_{OUT} dalga şeklindeki değişimi gözlemleyin.
6. VR1(1K Ω)'i, V_{OUT} , 4. adımdakinin yarısı olana kadar ayarlayın.
7. Güç kaynağını kapatın.
8. Multimetre kullanarak (Ω konumunda), OUT (TP5) ucunun toprağa göre direncini ölçün. Bu değer işlemsel yükselticinin çıkış empedansıdır. Ölçülen Z_o değerini Tablo 10-2-1'e kaydedin.
9. Güç kaynağını açın. Tablo 10-2-1'de verilen diğer giriş frekansları için 3. adımdan 8. adıma kadar olan işlemleri tekrarlayın. Çıkış empedansının, giriş frekansıyla değişip değişmediğini kontrol edin.

| Giriş Frekansı | Z _o |
|----------------|----------------|
| 1 KHz | |
| 100 Hz | |
| 10 KHz | |
| 50 KHz | |

Tablo 10-2-1



Şekil 10-2-13 Zo ölçümü için devre

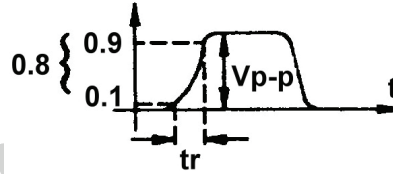


Şekil 10-2-14 Bağlantı diyagramı (KL-25006 blok b)

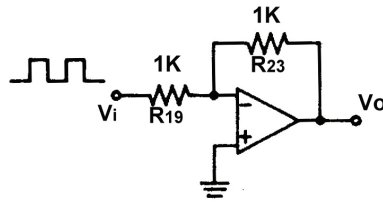
C. Yükselme Hızının Ölçülmesi

1. Şekil 10-2-15'teki devre ve Şekil 10-2-16'daki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25006 modülüne bağlayın.
2. KL-22001 Düzeneğindeki Fonksiyon Üreticini kullanarak, IN1 (TP1) ucuna 1KHz'lik sinüzoidal işaret uygulayın.
3. Osiloskobun girişini OUT (TP5) çıkış ucuna bağlayın.
4. Giriş sinyalin frekansını, çıkış sinyalinin yükselme zamanı (t_r), osiloskop ile ölçülebilecek şekilde ayarlayın. Aşağıdaki şekil yardımıyla, V_{p-p} ve t_r değerlerini ölçün ve kaydedin.

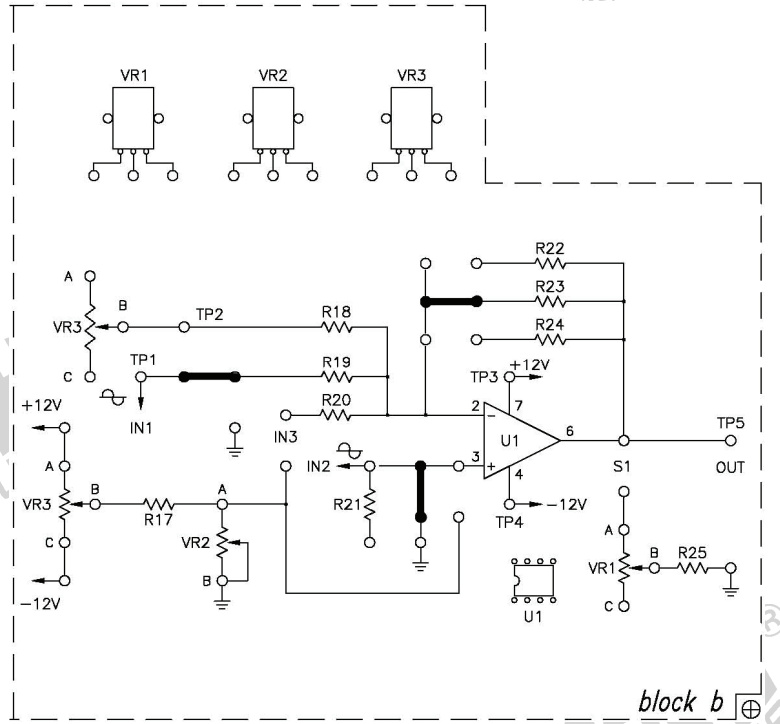
$$V_{p-p} = \underline{\hspace{2cm}} \quad t_r = \underline{\hspace{2cm}}$$



5. SR değerini hesaplayın. $SR = 0.8V_{p-p} / t_r = \underline{\hspace{2cm}}$



Şekil 10-25 SR ölçüm devresi



Şekil 10-2-16 Bağlantı diyagramı (KL-25006 blok b)

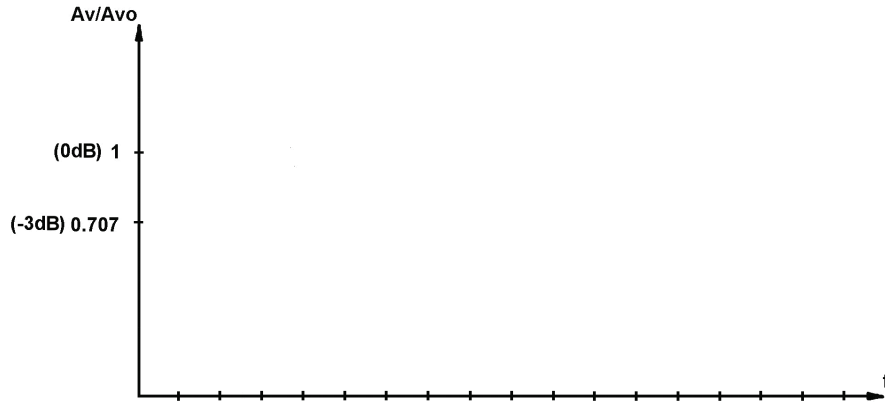
D. Bant Genişliğinin Ölçülmesi

1. Şekil 10-2-17'deki devre ve Şekil 10-2-18'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzenegindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25006 modülüne bağlayın.
2. IN2 giriş ucuna, Fonksiyon Üreteci'nden 1KHz'lik sinüzoidal dalga uygulayın.
3. Osiloskobun girişini IN2'ye bağlayın ve giriş genliğini $400\text{mV}_{\text{P-P}}$ olarak ayarlayın.
4. Giriş frekansını, Tablo 10-2-2'de gösterildiği gibi, 50Hz'den 30KHz'e kadar değiştirin ve her frekansa ilişkin V_O çıkış gerilimini ölçün. $A_V = V_O/V_I$ ve $\text{dB} = 20\log(A_V/A_{V0})$ değerlerini hesaplayın. Burada $A_{V0} =$ maksimum A_V ve $0\text{dB} = 20\log 1$.

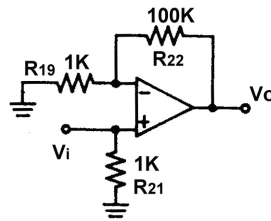
| f (Hz) | V _o | A _v | A _v /A _{vo} (dB) | f (Hz) | V _o | A _v | A _v /A _{vo} (dB) |
|--------|----------------|----------------|--------------------------------------|--------|----------------|----------------|--------------------------------------|
| 50 | | | | 50 | | | |
| 200 | | | | 200 | | | |
| 500 | | | | 500 | | | |
| 1000 | | | | 1000 | | | |
| 2000 | | | | 2000 | | | |

Tablo 10-2-2

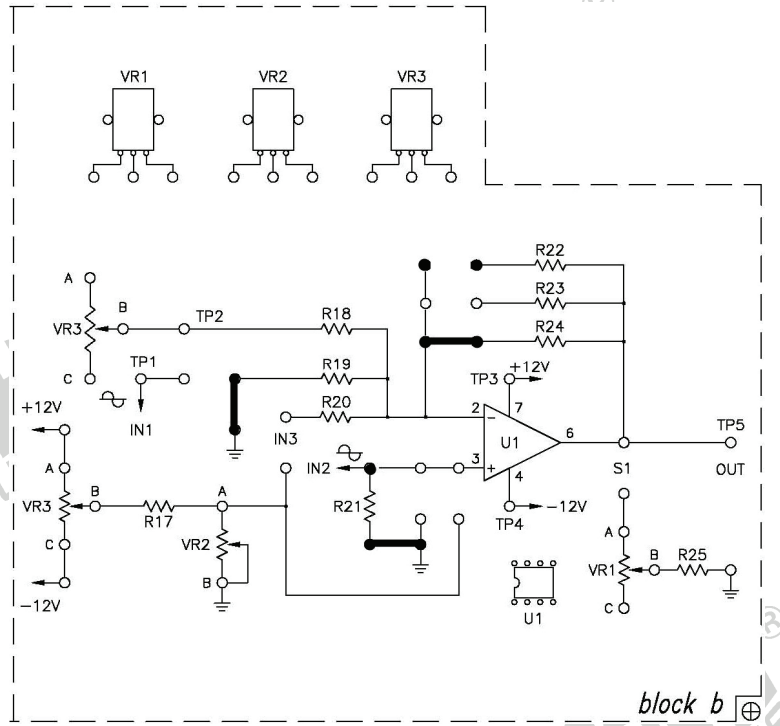
5. Tablo 10-2-2'deki sonuçları kullanarak, Tablo 10-2-3'te frekans tepesi eğrisini çizin. Alt 3-dB frekansını $f_L = \underline{\hspace{2cm}}$ Hz ve üst 3-dB frekansını $f_H = \underline{\hspace{2cm}}$ Hz bulun (f_L ve f_H frekanslarında gerilim kazancı 3dB azalır). Bant genişliğini hesaplayın $BW = f_H - f_L = \underline{\hspace{2cm}}$ Hz.



Tablo 10-2-3 ($A_{V0} = \text{maksimum } A_V$)



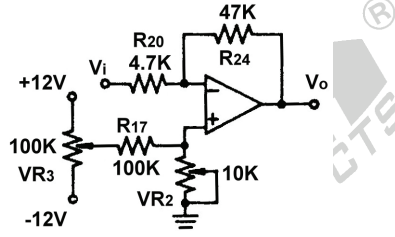
Şekil 10-2-17 Bant genişliği ölçüm devresi



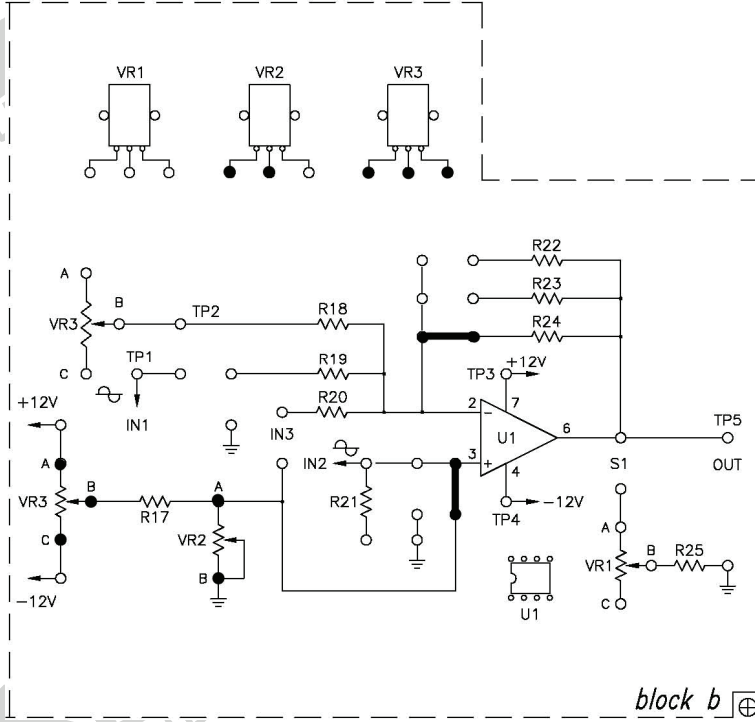
Şekil 10-2-18 Bağlantı diyagramı (KL-25006 blok b)

E. Eviren Yükselteç için Offset Gerilimi Ayarı

- Şekil 10-2-19'daki devre ve Şekil 10-2-20'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR2 ve VR3'ü devreye bağlayın. KL-22001 Düzenegindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25006 modülüne bağlayın.
- İşlemsel yükseltecin eviren giriş ucu IN3'ü toprağa bağlayın.
- Osiloskop (DC bağlantıda) yada voltmetre (DCV kademesinde) kullanarak, OUT (TP5) çıkış ucundaki gerilimi ölçün.
- OUT ucundaki gerilimin sıfır olup olmadığını gözleyin. Eğer değilse, aşağıdaki işlemleri gerçekleştirin:
 - VR2(1K)'yi maksimuma ayarlayın.
 - VR3(100K)'ü ayarlayın ve $V_{OUT}=0V$ olana kadar OUT ucundaki gerilim değişimini gözleyin.



Şekil 10-2-19 Offset gerilimi ayarı için devre



Şekil 10-2-20 Bağlantı diyagramı (KL-25006 blok b)

F. Evirmeyen Yükselteç için Offset Gerilimi Ayarı

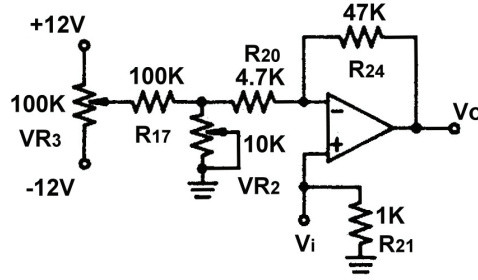
1. Şekil 10-2-21'deki devre ve Şekil 10-2-22'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR2 ve VR3'ü devreye bağlayın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25006 modülüne bağlayın.
2. İşlemsel yükseltecin evirmeyen giriş ucu IN2'yi toprağa bağlayın.
3. Osiloskop (DC bağlantıda) yada voltmetre (DCV kademesinde) kullanarak, OUT (TP5) çıkış ucundaki gerilimi ölçün.

4. OUT ucundaki gerilimin sıfır olup olmadığını gözleyin. Eğer değilse, aşağıdaki işlemleri gerçekleştirin:

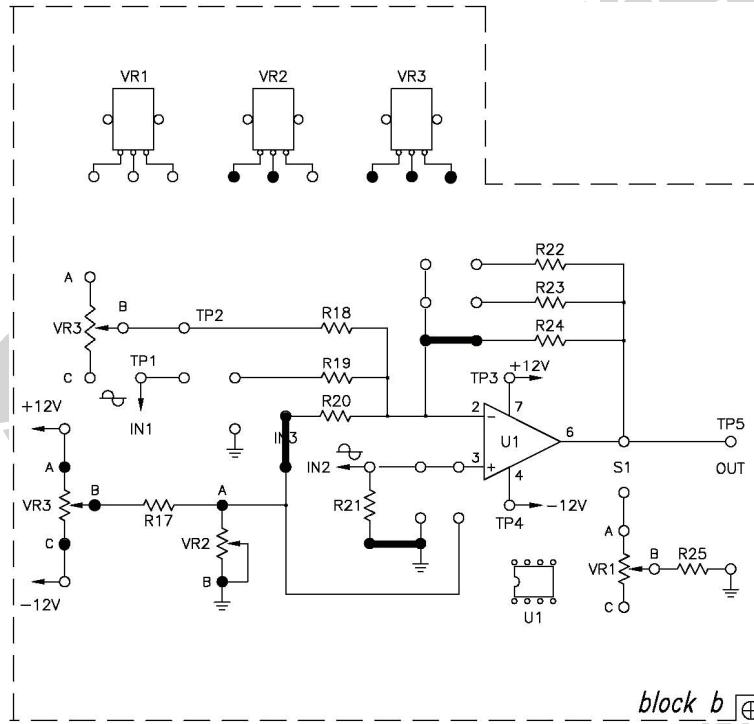
(1) VR2(1K)'yi maksimuma ayarlayın.

(2) VR3(100K)'ü ayarlayın ve $V_{OUT}=0V$ olana kadar OUT ucundaki gerilim değişimini gözleyin.

KAH
PRODUCTS®



Şekil 10-2-21 Offset gerilim ayarı için devre



Şekil 10-2-22 Bağlantı diyagramı (KL-25006 blok b)

KAH
PRODUCTS®

SONUÇLAR

Katalogda belirtilen Z_i değeri, örneğin $\mu A741$ için, $10M\Omega$ 'dur. Bununla birlikte, OPA eviren yükselteç olarak kullanıldığında, toplam devrenin empedansı, negatif geri beslemenin etkisiyle azalacaktır. Eğer yüksek giriş empedanslı yükselteç devresi gerekiyorsa, evirmeyen yükselteç düzenlemesi kullanılmalı yada eviren yükseltece kaskat olarak gerilim izleyici eklenmelidir.

Eğer yük direncinin değeri de çok küçükse, işlemsel yükseltecin Z_o değeri birkaç Ω düzeyinde olur ve OPA'nın çıkışı kolaylıkla doyuma ulaşır. Böylece dalga şekli kırılmış olur. Z_o 'ı ölçmek için gerilim bölücü yöntemi kullanılması durumunda, V_o 'da bozulma olmaması için, yük olarak daha büyük değerli dirençlerin kullanılması gerekir.

Kataloglarda belirtilen bant genişliği değerleri birkaç MHz'e kadar olabilmektedir. Ancak, gerçekte ölçülen değerler bu şekilde olmayıp, ancak birkaç yüz KHz'lere ulaşabilmektedir.

Statik durumda çıkış gerilimi 0V olacak şekilde OPA'nın DC seviyesini kompanze etmek amacıyla, üretici tarafından sağlanmış offset null uçlarında (741 için 1 ve 5 uçları) gerçekleştirilen gerilim ayarı, offset gerilim ayarı olarak adlandırılır. Tipik çıkış offset gerilimi yaklaşık $\pm 1V$ olduğu için, eviren yükseltecin yükseltme faktörünün 100 olduğu durumda, girişe uygulanan $\pm 10mV$ 'luk gerilim çıkışı $\pm 1V$ 'tan 0V'a kaydıracaktır. OPA'nın açık çevrim kazancı yaklaşık olarak ∞ olduğu için, karşılaştırıcı için offset gerilim ayarı çok zordur. Bundan dolayı çıkış olarak 0V yerine +Vcc veya -Vcc kullanılmaktadır.

Bölüm 11 Temel İşlemsel Yükselteç Devreleri

DENEY 11-1 Eviren Yükselteç

DENEYİN AMACI

1. Eviren yükseltecin çalışma prensibini anlamak.
2. Eviren yükseltecin giriş ve çıkış dalga şekilleri ile gerilim kazancını ölçmek.

GENEL BİLGİLER

Önemli İşlemsel Yükselteç Kavramları

1. Görünürde toprak (görünürde kısa devre)

Normal kısa devre, iki uçtaki gerilimin eşit ve bu iki uç arasındaki akımın maksimum olması anlamına gelmektedir. Ancak, OPA'nın "+" ve "-" giriş uçlarındaki $V(-)$ ve $V(+)$ gerilimleri eşit olmasına rağmen "+" ve "-" uçlardan akım akmamaktadır. Bu olay, görünürde kısa devre ve aynı zamanda, eviren yükselteçte "+" uç genelde toprağa bağlandığı için, görünürde toprak olarak adlandırılır. Bu durum OPA'da $Z_i = \infty$ ve $A_v = \infty$ olmasından kaynaklanır. $Z_i = \infty$ olduğu için, giriş ucuna doğru akım akmayacaktır. $A_v = \infty$ olduğu için de, önemsiz büyüklükte bir V_i gerilimi uygulandığında, önemli ölçüde bir çıkış gerilimi elde edilecektir. V_i ihmal edilebilecek kadar küçük olduğu için, $V(-)$ ve $V(+)$ yaklaşık olarak eşit olur.

2. Açık-çevrim kazancı

Açık-çevrim kazancı çok büyük olup ideal durumda ∞ 'dur.

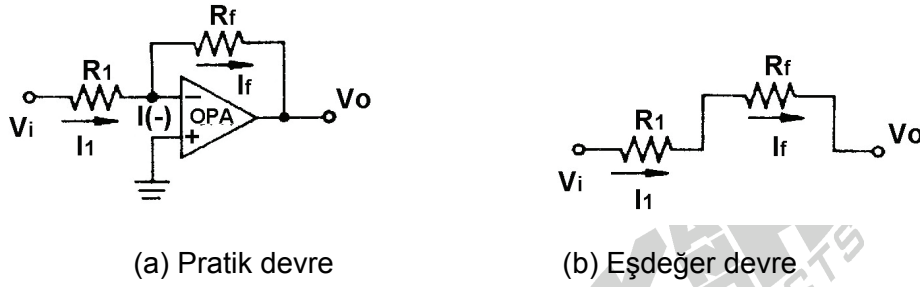
3. Kapalı-çevrim kazancı

Açık çevrim kazancı çok büyük olduğu için, açık çevrim düzenlemeli OPA, yükselteç olarak uygun değildir. Çünkü aşırı büyük kazanç, yükselteç çıkışının kolaylıkla doyuma gitmesine neden olur. OPA yükselteç olarak kullanılacaksa, kazancı kontrol edebilmek için devreye negatif geri besleme eklenmelidir.

İşlemsel yükselteçler kullanılarak birçok karmaşık devre oluşturulabilir. Bu devreler, ne kadar karmaşık olursa olsun, esasında temel devrelerden oluşur. Burada yükselteç olarak kullanılan iki temel işlemsel yükselteç devresi tanıtılacaktır: eviren yükselteç devresi ve evirmeyen yükselteç devresi.

Eviren Yükselteç

Eviren yükselteç devresi Şekil 11-1-1(a)'da ve eşdeğer devresi de Şekil 11-1-1(b)'de gösterilmiştir.



Şekil 11-1-1 Eviren yükselteç

Görünürde toprak kavramına bağlı olarak, OPA'nın evirici giriş ucuna doğru akım akmayacaktır. Bununla birlikte $V(-)=V(+)=0V$ olduğu için, $V_o = -I_f R_f$, $V_i = I_1 R_1$ ve $I_1 = I_f$ olur.

$$A_v = \frac{V_o}{V_i} = \frac{-I_f R_f}{I_1 R_1} = -\frac{R_f}{R_1}$$

V_o ile V_i arasında 180° faz farkı vardır.

Bu devre, kazancı tamamen geri besleme devresi tarafından belirlendiği ve OPA karakteristiklerinden bağımsız olduğu için, oldukça kararlıdır.

Örnek : Şekil 11-1-1'de gösterildiği gibi, $R_1=10K\Omega$, $R_f=100K\Omega$, $V_i=0.5V$, $V_o=?$

Çözüm :

$$A_v = -R_f / R_1 = -100K / 10K = -10, V_o = V_i \times A_v = 0.5V \times (-10) = -5V$$

KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneđi
2. KL-25007 İşlemsel Yükselteç Devre Modülü (2)
3. Osiloskop

DENEYİN YAPILIŞI

1. KL-25007 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneđinin üzerine koyun ve b blođunu belirleyin. Şekil 11-1-2(a)'daki devre ve Şekil 11-1-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneđindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25007 modülüne bağlayın.
2. KL-22001 Düzeneđinin üzerindeki Fonksiyon Üreticini kullanarak, IN1 (TP3) ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT (TP7) çıkış ucuna osiloskop bağlayın.
3. Osiloskop ekranında maksimum, bozulmasız çıkış dalga şekli elde edilecek şekilde, sinüzoidal sinyalin genliğini yavaşça artırın. IN1 ucundaki V_{IN1} giriş gerilimini ve OUT ucundaki V_{OUT} çıkış gerilimini ölçün ve Tablo 11-1-1'e kaydedin. Giriş ve çıkış dalga şekilleri arasındaki faz ilişkisini belirleyin ve gerilim kazancını hesaplayın.





$$A_v = -\frac{V_{OUT}}{V_{IN1}} = \underline{\hspace{10em}}$$

4. Giriş sinyal bağlantılarını çıkartın ve IN1 giriş ucunu toprađa bağlayın. Osiloskop kullanarak (DC bağlantıda), OUT çıkış ucundaki DC seviyeyi (çıkış offset gerilimi) ölçün ve kaydedin. $V_{dc} = \underline{\hspace{10em}}$.
5. Şekil 11-1-2(b)'deki devre ve Şekil 11-1-4'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR3'ü devreye bağlayın.

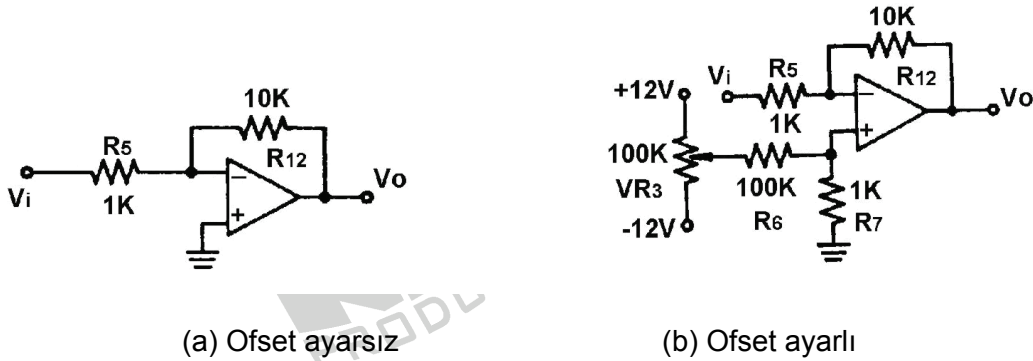
6. 4. adımı tekrarlayın. Ölçülen DC seviye 0V değilse, VR3(100K)'ü ayarlayarak bu seviyeyi 0V yapın.

7. 2. ve 3. adımları tekrarlayın.

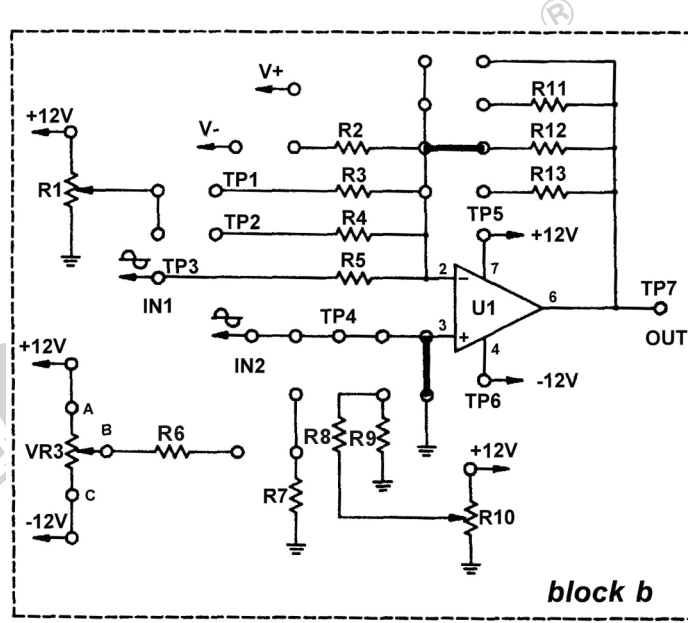
8. VR3(100K)'ü rastgele ayarlayarak çıkış dalga şeklinin değişip değişmediğini gözleyin.

| | | Dalga Şekli | V _{P-P} |
|---------------|------------------|--|------------------|
| Ofset Ayarsız | V _{IN1} |  | |
| | V _{OUT} |  | |
| Ofset Ayarlı | V _{IN1} |  | |
| | V _{OUT} |  | |

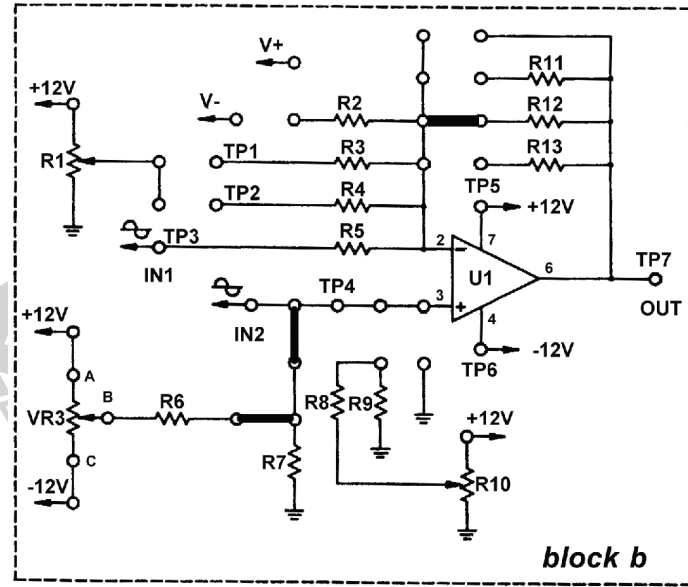
Tablo 11-1-1



Şekil 11-1-2 Eviren yükselteç devreleri



Şekil 11-1-3 Bağlantı diyagramı (KL-25007 blok b)



Şekil 11-1-4 Bağlantı diyagramı (KL-25007 blok b)

SONUÇLAR

Eviren bir yükselteçte, giriş ve çıkış gerilimleri arasındaki faz farkı 180° dir ve gerilim kazancı, giriş direnci ve geri besleme direnci tarafından belirlenir.

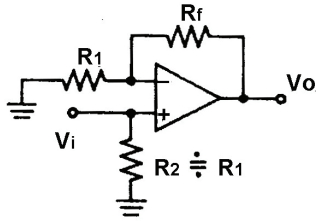
DENEY 11-2 Evirmeyen Yükselteç

DENEYİN AMACI

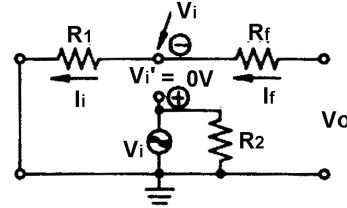
1. Evirmeyen yükseltecin çalışma prensibini anlamak.
2. Evirmeyen yükseltecin giriş ve çıkış dalga şekilleri ile gerilim kazancını ölçmek.

GENEL BİLGİLER

Eviren yükselteç devresi Şekil 11-2-1(a)'da ve eşdeğer devresi de Şekil 11-2-1(b)'de gösterilmiştir.



(a) Devre



(b) Eşdeğer devre

Şekil 11-2-1 Evirmeyen yükselteç

Eşdeğer devreden, aşağıdaki denklemler elde edilir:

$$I_f = I_1$$

$$V_i = V_o \times \frac{R_1}{R_1 + R_f}, \quad \frac{V_i}{V_o} = \frac{R_1}{R_1 + R_f}$$

Böylece

$$A_v = \frac{V_o}{V_i} = \frac{R_1 + R_f}{R_1} = 1 + \frac{R_f}{R_1}$$

V_o , V_i ile aynı fazdadır.

Örnek : Şekil 11-2-1(a)'da gösterildiği gibi, $R_1=1K\Omega$, $R_f=10K\Omega$, $V_i=1V$, $V_o=?$

Çözüm :

$$V_o = V_i \left(1 + \frac{R_f}{R_1}\right) = 1V \left(1 + \frac{10K}{1K}\right) = 11V$$

Bu devrede kullanılan besleme gerilimi değeri, 11V'tan büyük olmalıdır. Aksi takdirde maksimum çıkış, besleme gerilimine eşit olur.

KULLANILACAK ELEMANLAR


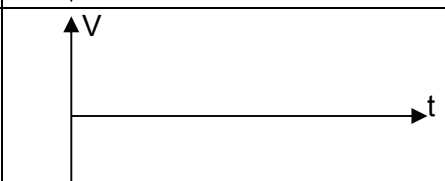
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25007 İşlemsel Yükselteç Devre Modülü (2)
3. Osiloskop

DENEYİN YAPILIŞI

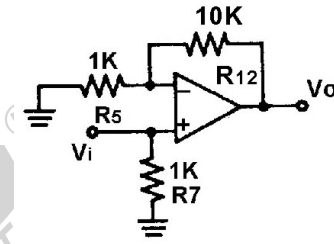
1. KL-25007 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve b bloğunu belirleyin. Şekil 11-2-2'deki devre ve Şekil 11-2-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın.
2. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25007 modülüne bağlayın.
3. KL-22001 Düzeneğinin üzerindeki Fonksiyon Üreticini kullanarak, IN2 (TP4) ucuna 1KHz'lik bir sinüzoidal işaret uygulayın. OUT (TP7) çıkış ucuna osiloskop bağlayın.
4. Osiloskop ekranında maksimum, bozulmasız çıkış dalga şekli elde edilecek şekilde, sinüzoidal sinyalin genliğini yavaşça artırın. IN2 ucundaki V_{IN2} giriş gerilimini ve OUT ucundaki V_{OUT} çıkış gerilimini ölçün ve Tablo 11-2-1'e kaydedin.

5. Giriş ve çıkış dalga şekilleri arasındaki faz ilişkisini belirleyin ve gerilim kazancını hesaplayın.

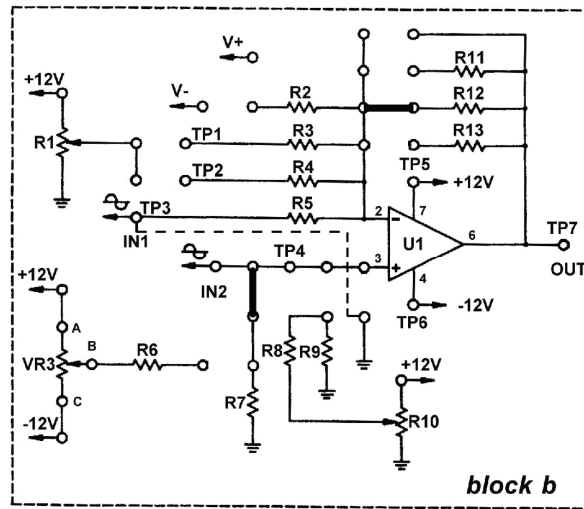
$$A_v = \frac{V_{OUT}}{V_{IN2}} = \underline{\hspace{2cm}}$$

| ® | Dalga Şekli | V _{P-P} |
|------------------|---|------------------|
| V _{IN2} |  | |
| V _{OUT} |  | |

Tablo 11-2-1



Şekil 11-2-2 Evirmeyen yükselteç



Şekil 11-2-3 Bağlantı diyagramı (KL-25007 blok b)

SONUÇLAR

Evirmeyen bir yükselteçte, giriş ve çıkış gerilimleri arasındaki faz farkı 0° dir ve gerilim kazancı, giriş ve geri besleme dirençleri tarafından belirlenir.



DENEY 11-3 Gerilim İzleyici

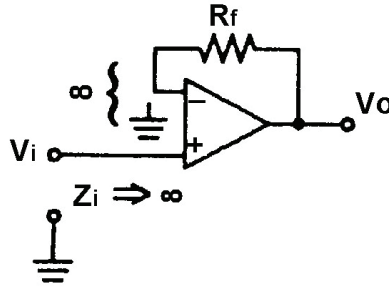
DENEYİN AMACI

1. Gerilim izleyicinin çalışma prensibini anlamak.
2. Gerilim izleyicinin giriş ve çıkış dalga şekilleri ile gerilim kazancını ölçmek.

GENEL BİLGİLER

Şekil 11-3-1'de gösterilen gerilim izleyici, bir evirmeyen yükselteç uygulamasıdır.

$$R_1 = \infty \text{ olduğu için } A_v = 1 + \frac{R_f}{R_1} = 1$$



Şekil 11-3-1 Gerilim izleyici

Bu nedenle bu devre yükselteç olarak çalışmaktadır. Bununla birlikte, $Z_i = \infty$ ve Z_o çok küçük olduğu için, gerilim izleyici yaygın olarak empedans uydurmada kullanılır.

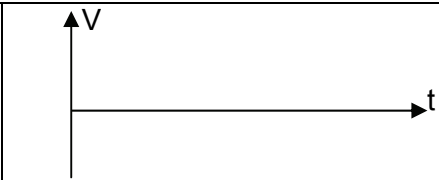
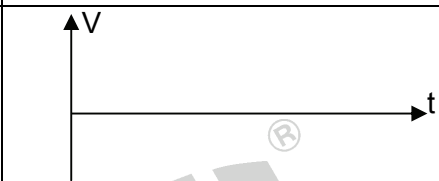
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25007 İşlemsel Yükselteç Devre Modülü (2)
3. Osiloskop

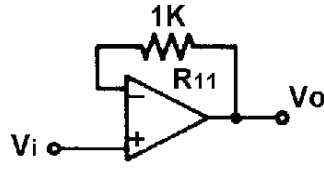
DENEYİN YAPILIŞI

1. KL-25007 modülünü, KL-22001 Temel Elektrik Devreleri Denei Düzeneğinin üzerine koyun ve b bloğunu belirleyin. Şekil 11-3-2'deki devre ve Şekil 11-3-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25007 modülüne bağlayın.
2. KL-22001 Düzeneğinin üzerindeki Fonksiyon Üretecini kullanarak, IN2 (TP4) ucuna 1KHz'lik bir sinüzoidal işaret uygulayın.
3. Osiloskobun girişini OUT (TP7) çıkış ucuna bağlayın. Osiloskop ekranında maksimum, bozulmasız çıkış dalga şekli elde edilecek şekilde, Fonksiyon Üretecinin çıkış genliğini yavaşça artırın. V_{IN2} ve V_{OUT} dalga şekillerini ve tepeden-tepeye değerlerini ölçüp Tablo 11-3-1'e kaydedin.
4. Fonksiyon Üretecinin çıkış genliğini rastgele değiştirerek, V_{OUT} 'un daima V_{IN2} 'ye benzer olup olmadığını gözleyin. _____
5. A_v gerilim kazancını hesaplayın.

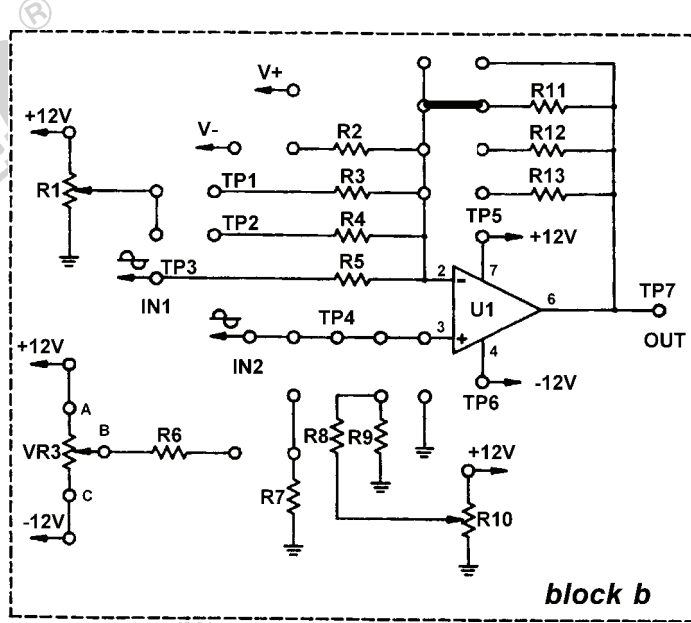
$$A_v = \frac{V_{OUT}}{V_{IN2}} = \underline{\hspace{10em}}$$

| Dalga Şekli | | V_{P-P} |
|-------------|---|-----------|
| V_{IN2} |  | |
| V_{OUT} |  | |

Tablo 11-3-1



Şekil 11-3-2 Gerilim izleyici devresi



Şekil 11-3-3 Bağlantı diyagramı (KL-25007 blok b)

SONUÇLAR

Gerilim izleyici, gerilim kazancı 1 olan evirmeyen bir yükselteç olarak düşünülebilir. Bu devrenin giriş empedansı, evirmeyen yükselteçlerde olduğu gibi, çok yüksektir. Gerilim izleyici devresi gerçekleştirmek için $\mu A741$ kullanılması durumunda, Z_i , $200M\Omega$ kadar yüksek olabilir ve giriş kapasitansı yaklaşık olarak $1pF$ 'dir. Çıkış empedansı 1Ω 'dan çok daha küçük ve bant genişliği yaklaşık $1MHz$ olur. Çıkış empedansı 1Ω 'dan çok daha küçük olduğu için, bu devrenin karakteristikleri, çok küçük bir yük direnci bağlanması durumunda kötüleşecektir. Özellikle büyük giriş sinyali uygulanması durumunda, işlemsel yükselteç çıkışı kolaylıkla doyuma gideceği için, yükselme hızının etkisi çok önemli olacaktır.

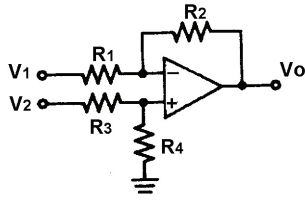
DENEY 11-4 Fark Yükseltici

DENEYİN AMACI

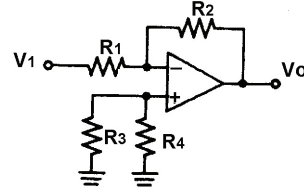
1. Fark yükseltcinin çalışma prensibini anlamak.
2. Fark yükseltcinin çıkış gerilimini ölçmek.

GENEL BİLGİLER

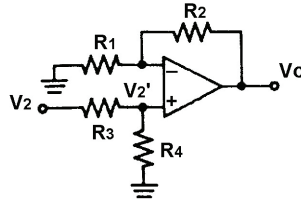
Şekil 11-4-1(a)'da gösterildiği gibi, fark yükseltci yada çıkarma devresi, sırasıyla biri eviren diğeri evirmeyen iki giriş ucu içermektedir.



(a) Devre



(b) Sadece V₁ ele alınır



(c) Sadece V₂ ele alınır

Şekil 11-4-1 Fark yükseltci

Süperpozisyon teoremine göre devre aşağıdaki gibi analiz edilebilir:

1. Şekil 11-4-1(b)'de gösterildiği gibi, V₁'in giriş ucuna uygulanıp V₂'nin toprağa bağlanması durumunda, eviren yükseltce benzer şekilde

$$V_{o1} = V_1 \left(-\frac{R_2}{R_1}\right)$$

2. Şekil 11-4-1(c)'de gösterildiği gibi, V_2 'nin giriş ucuna uygulanıp V_1 'in toprağa bağlanması durumunda

$$V_{o2} = V_2(R_4/(R_3+R_4))(1+R_2/R_1)$$

3. $V_o = V_{o1} + V_{o2} = V_1(-R_2/R_1) + V_2(R_4/(R_3+R_4))((R_1+R_2)/R_1)$

$R_1=R_3$ ve $R_2=R_4$ olursa;

$$V_o = V_1(-R_2/R_1) + V_2(R_2/(R_1+R_2))((R_1+R_2)/R_1)$$

$$= V_1(-R_2/R_1) + V_2(R_2/R_1) = (V_2-V_1)R_2/R_1$$

KULLANILACAK ELEMANLAR

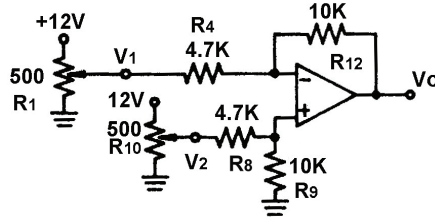
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25007 İşlemsel Yükselteç Devre Modülü (2)
3. Multimetre

DENEYİN YAPILIŞI

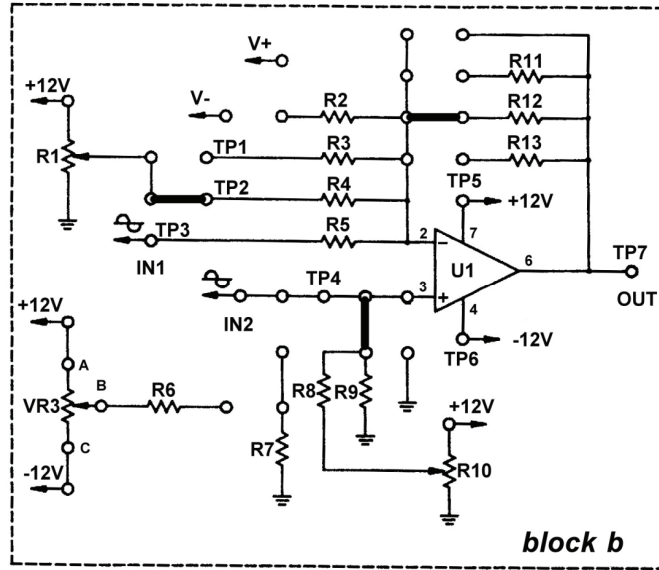
1. KL-25007 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve b bloğunu belirleyin. Şekil 11-4-2'deki devre ve Şekil 11-4-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25007 modülüne bağlayın.
2. V_1 ve V_2 gerilimleri Tablo 11-4-1'de belirtilen değerlere eşit olacak şekilde, sırasıyla $R_1(500\Omega)$ ve $R_{10}(500\Omega)$ dirençlerini ayarlayın.
3. Multimetre (DCV kademesinde) kullanılarak, OUT çıkış ucundaki gerilimi ölçün ve Tablo 11-4-1'e kaydedin.
Hesaplanan $V_{OUT} = (V_2-V_1)R_{12}/R_4$, $R_4=4.7K\Omega$ ve $R_{12}=10K\Omega$.
4. Tablo 11-4-1'i tamamlayın.

| V1 | V2 | Ölçülen V_{OUT} | Hesaplanan V_{OUT} |
|----|----|-------------------|----------------------|
| 1V | 2V | | |
| 2V | 2V | | |
| 3V | 1V | | |
| 4V | 1V | | |

Tablo 11-4-1



Şekil 11-4-2 Fark yükseltici



Şekil 11-4-3 Bağlantı diyagramı (KL-25007 blok b)

SONUÇLAR

Fark yükseltici, aynı anda hem eviren hem de evirmeyen yükselteç karakteristiklerine sahiptir. Fark sinyal girişli konfigürasyon, CMRR değerlerinin yükselmesine sebep olur. Bundan dolayı fark devresi, sensör sinyallerini (zayıf sinyal) algılama ve yükseltmede sıklıkla kullanılır.

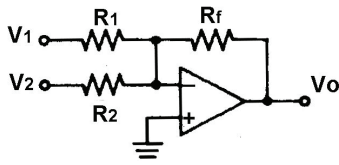
DENEY 11-5 Toplayıcı

DENEYİN AMACI

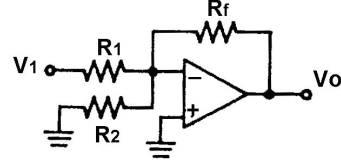
1. Toplayıcı devrenin çalışma prensibini anlamak.
2. Çıkış gerilimi ve iki giriş gerilimi arasındaki ilişkiyi anlamak.

GENEL BİLGİLER

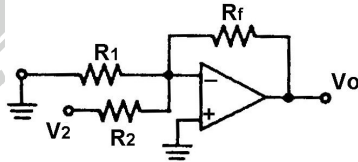
Şekil 11-5-1(a)'da gösterilen toplayıcı devre, farklı sayıda giriş ucu içerebilir.



(a) Devre



(b) Sadece V₁ ele alınır



(c) Sadece V₂ ele alınır

Şekil 11-5-1 Toplayıcı devre

Süperpozisyon teoremine göre devre aşağıdaki gibi analiz edilebilir:

1. V₁ giriş ucuna uygulanmış ve V₂ toprağa bağlanmıştır. V(-), V(+) ile aynı potansiyelde olduğu için R₂ üzerinden akım akmaz ve devre, Şekil 11-5-1(b)'de gösterildiği gibi, eviren yükselteç olarak çalışır.

$$V_{o1} = V_1 (-R_f/R_1)$$

2. V_2 giriş ucuna uygulanmış ve V_1 toprağa bağlanmıştır. Şekil 11-5-1(c)'de gösterildiği gibi, prensip 1'deki ile aynıdır.

$$V_{o2} = V_2 (-R_f/R_2)$$

3. $V_o = V_{o1} + V_{o2} = V_1 (-R_f/R_1) + V_2 (-R_f/R_2)$

$$R_1=R_2 \text{ olursa, } V_o = -R_f/R_1 (V_1+V_2).$$

$$R_f=R_1 \text{ olursa, } V_o = - (V_1 + V_2).$$

KULLANILACAK ELEMANLAR

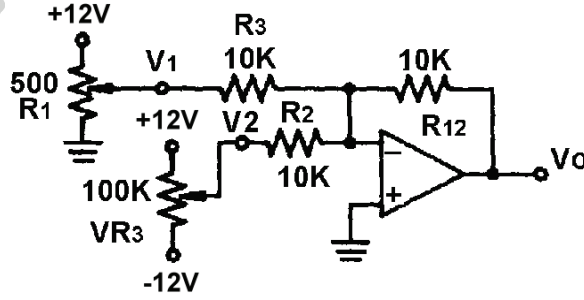
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25007 İşlemsel Yükselteç Devre Modülü (2)
3. Multimetre

DENEYİN YAPILIŞI

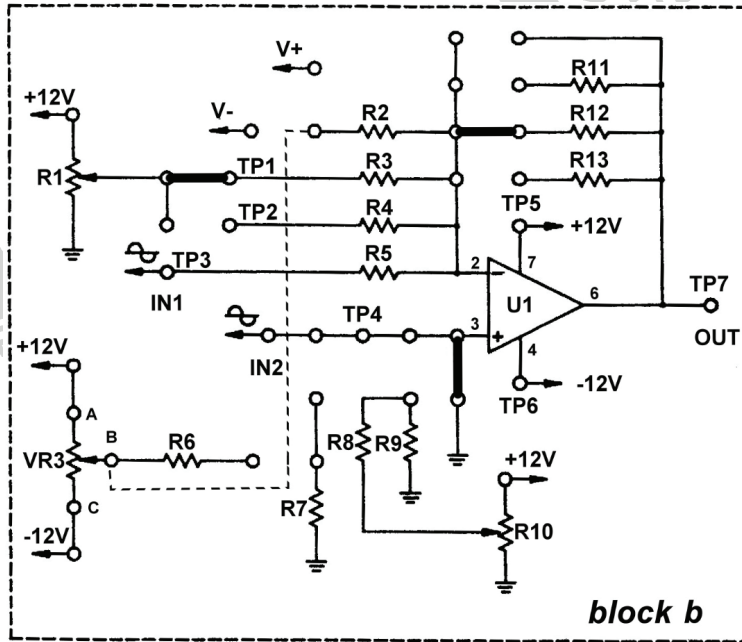
1. KL-25007 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve b bloğunu belirleyin. Şekil 11-5-2'deki devre ve Şekil 11-5-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR3'ü devreye bağlayın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25007 modülüne bağlayın.
2. V_1 ve V_2 gerilimleri Tablo 11-5-1'de belirtilen değerlere eşit olacak şekilde, sırasıyla R1(500Ω) ve VR3(100K) dirençlerini ayarlayın.
3. Multimetre (DCV kademesinde) kullanarak, OUT çıkış ucundaki gerilimi ölçün ve Tablo 11-5-1'e kaydedin.
4. $V_o = -(R_{12}/R_3)(V_1+V_2)$ değerini hesaplayın ve kaydedin. $R_3=10K$ ve $R_{12}=10K\Omega$.
5. Tablo 11-5-1'i tamamlayın.

| | | | |
|------------------|-----|-----|-----|
| V1 | +3V | +3V | +3V |
| V2 | +3V | +2V | -3V |
| Ölçülen V_o | | | |
| Hesaplanan V_o | | | |

Tablo 11-5-1



Şekil 11-5-2 Toplayıcı yükselteç



Şekil 11-5-3 Bağlantı diyagramı (KL-25007 blok b)

SONUÇLAR

Toplayıcı aslında, eviren yükseltecin farklı bir çeşididir. Eğer giriş uçlarına DC sinyaller uygulanırsa, çıkış ucunda ortaya çıkan değer teorik değere yakın olur. Giriş uçlarına AC sinyaller (özellikle kare dalga) uygulanması durumunda, yükselme hızı sınırlamasından dolayı, toplama noktasında genellikle tepe üretilecek ve bu da toplam değer doğruluğunu etkileyecektir.

Toplayıcı, yüksek-hızlı analog toplayıcılarda yada darbe karıştırıcılarda yaygın olarak kullanılır.

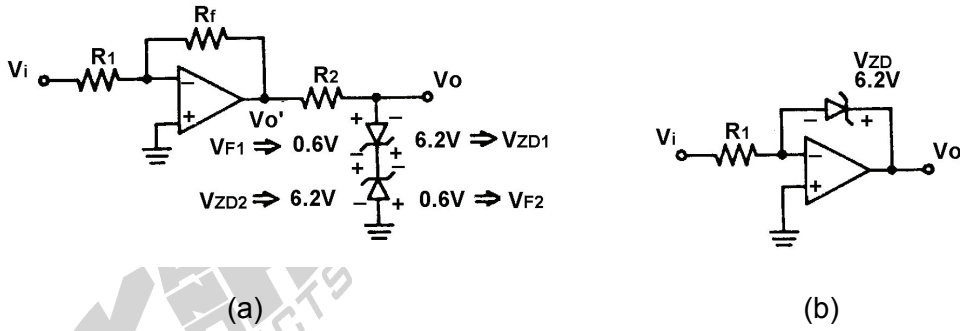
DENEY 11-6 Kırpıcı Devre

DENEYİN AMACI

1. Kırpıcı devrenin çalışma prensibini anlamak.
2. Kırpıcı devrelerinin giriş ve çıkış dalga şekillerini ölçmek.

GENEL BİLGİLER

Şekil 11-6-1(a) ve (b)'de, iki farklı kırpıcı devre gösterilmiştir. Çalışma prensipleri aşağıda kısaca anlatılmıştır:



Şekil 11-6-1 Kırpıcı devreler

Şekil 11-6-1(a)'daki kırpıcı devre için:

Eğer 1. $V_{O'} > (V_{F1} + V_{ZD2})$ ise $V_O = V_{F1} + V_{ZD2}$

2. $(V_{F1} + V_{ZD2}) > V_{O'} > -(V_{F2} + 6.2V)$ ise $V_O = V_{O'}$

3. $V_{O'} < -(V_{F2} + 6.2V)$ ise $V_O = -(V_{F1} + V_{ZD1})$

4. Giriş ucuna sinüzoidal sinyal uygulanırsa, çıkış dalga şekli yaklaşık kare dalga olur. Bu devrede R2, akımı sınırlamak için kullanılmıştır.

Şekil 11-6-1(b)'deki kırpıcı devre için:

Eğer 1. $V_O > V_{ZD}$ ise, V_O gerilimi V_{ZD} değerinde sabit kalacak şekilde, zener diyot aktif hale gelir.

2. $-V_F < V_O < V_{ZD}$ ise V_O sabit kalır.

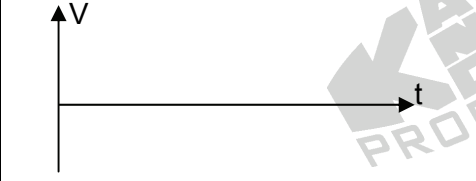
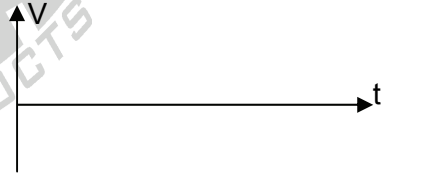
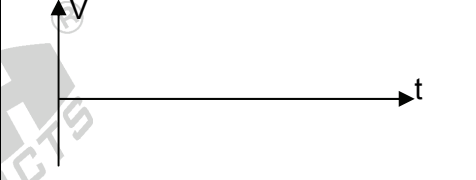
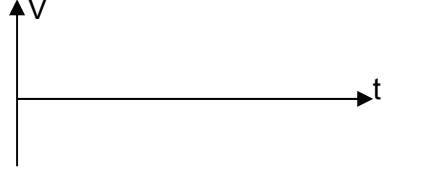
3. $V_O < -V_F$ ise $V_O = -0.6V$ olur.

KULLANILACAK ELEMANLAR

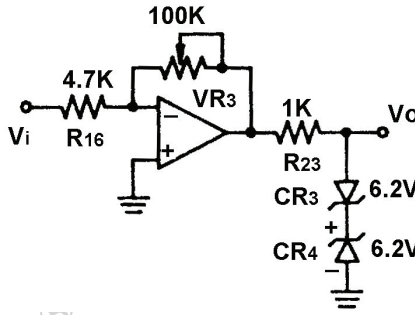
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneđi
2. KL-25007 İşlemsel Yükselteç Devre Modülü (2)
3. Osiloskop

DENEYİN YAPILIŞI

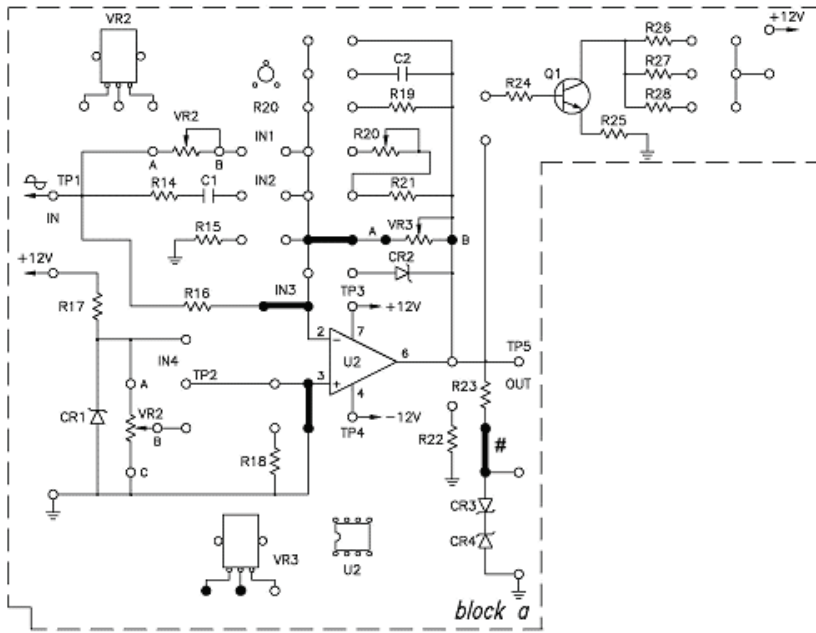
1. KL-25007 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneđinin üzerine koyun ve a blođunu belirleyin. Şekil 11-6-2'deki devre ve Şekil 11-6-3'teki bağlantı diyagramı yardımıyla (# işaretli klips hariç) gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR3'ü devreye bağlayın. KL-22001 Düzeneđindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25007 modülüne bağlayın.
2. KL-22001 Düzeneđindeki Fonksiyon Üreticini kullanarak, IN (TP1) ucuna 1KHz'lik sinüzoidal işaret uygulayın. OUT (TP5) çıkış ucuna osiloskop bağlayın. Devrenin çıkış gerilimi $14V_{P-P}$ 'den büyük olacak şekilde, Fonksiyon Üreticinin çıkış genliğini yavaşça artırın. IN ucundaki V_{IN} giriş gerilimini ve TP5 ucundaki V_{OUT} çıkış gerilimini ölçün ve Tablo 11-6-1'e kaydedin.
3. # işaretli klipsi yerine takarak CR3 ve CR4'ü ($V_{ZD}=6.2V$) devreye bağlayın. IN ucundaki V_{IN} giriş gerilimini ve TP6 ucundaki V_{OUT} çıkış gerilimini ölçün ve Tablo 11-6-1'e kaydedin.
4. Şekil 11-6-4'deki devre ve Şekil 11-6-5'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneđindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25007 modülüne bağlayın.
5. KL-22001 Düzeneđindeki Fonksiyon Üreticini kullanarak, IN (TP1) ucuna 1KHz'lik sinüzoidal işaret uygulayın. OUT (TP5) çıkış ucuna osiloskop bağlayın. Fonksiyon Üreticinin çıkış genliğini yavaşça artırın ve OUT (TP5) ucundaki maksimum çıkış geriliminin yaklaşık olarak +6.2V olup olmadığını gözleyin.

| | CR3 ve CR4 bağlı değil | CR3 ve CR4 bağlı |
|-----------|---|--|
| V_{IN} |  |  |
| V_{OUT} |  |  |

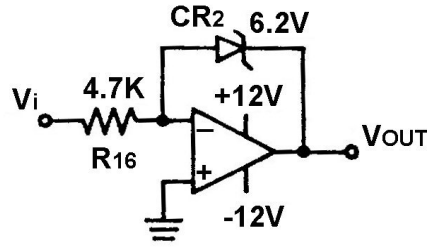
Tablo 11-6-1



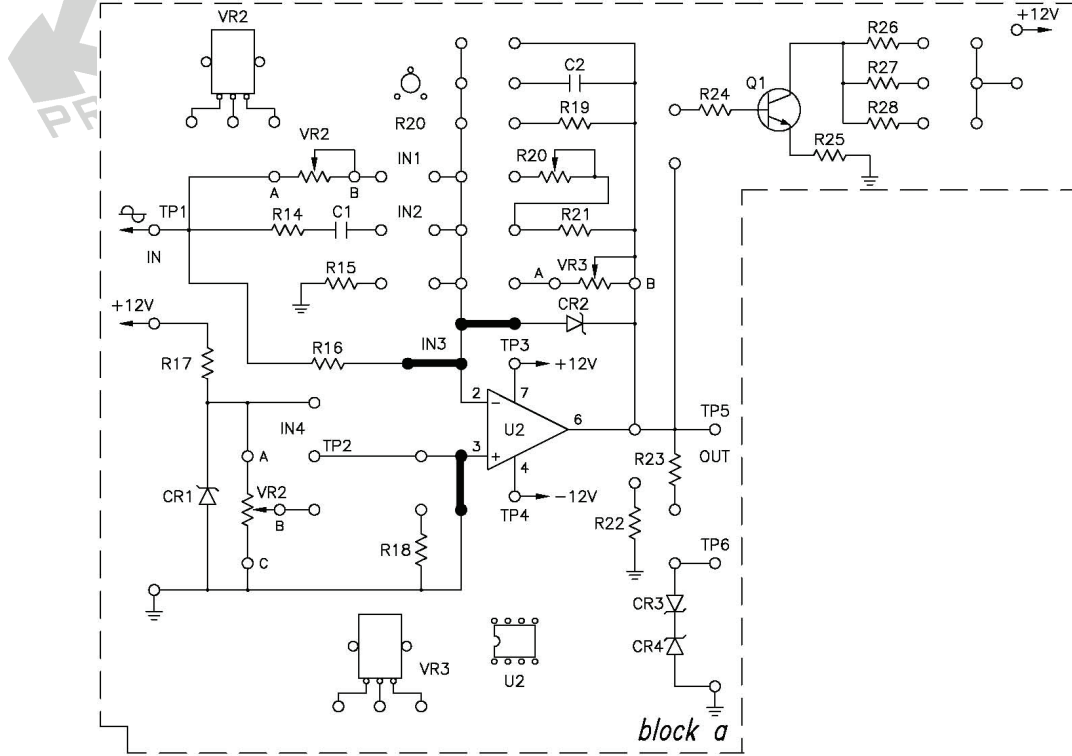
Şekil 11-6-2 Kırpıcı devre (1)



Şekil 11-6-3 Bağlantı diyagramı (KL-25007 blok a)



Şekil 11-6-4 Kırpıcı devre (2)



Şekil 11-6-5 Bağlantı diyagramı (KL-25007 blok a)

SONUÇLAR

Kırpıcı devre, eviren bir yükselteçle birlikte, çıkış gerilimini kırabilecek, sabit gerilim karakteristiklerine sahip bir zener diyot içermektedir. Çıkış dalga şekli bozulmuş olduğu için, bu devre, tam dalga şekli yerine, sadece uygun bir gerilim seviyesi gerekli olduğu durumda kullanılabilir.

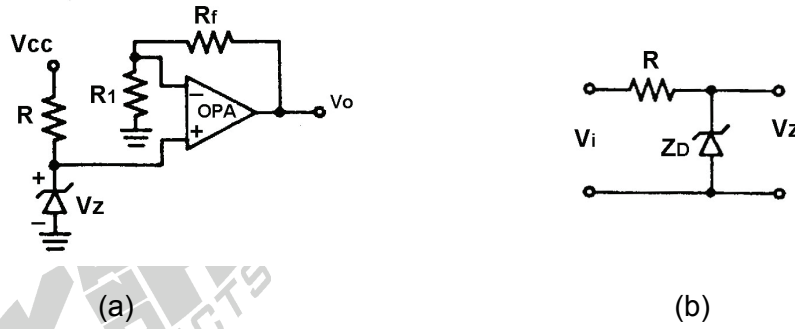
DENEY 11-7 Sabit Gerilim Devresi

DENEYİN AMACI

1. Sabit gerilim devresinin çalışma prensibini anlamak.
2. Sabit gerilim devresinin çıkış gerilimini ölçmek.

GENEL BİLGİLER

Şekil 11-7-1(a)'da gösterilen sabit gerilim devresi, Şekil 11-7-1(b)'de gösterilen devre ile evirmeyen yükselteç devresinin birleşiminden oluşmuştur.



Şekil 11-7-1 Sabit gerilim devresi

Şekil 11-7-1(b)'de gösterilen basit sabit gerilim devresinin çalışması, evirmeyen yükselteç eklenmesi ile iyileştirilmiştir. Çünkü:

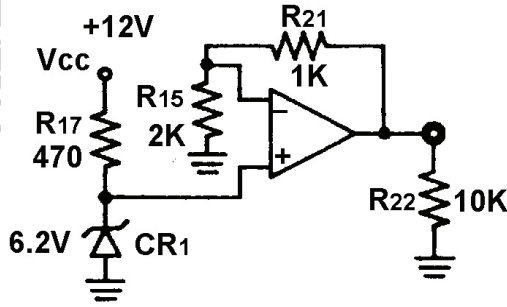
1. $V_o = V_z (1 + R_f/R_1)$ çıkış genliği, R_f/R_1 ile belirlenebilir.
2. Yükleme etkisi engellenebilir. Evirmeyen yükselteç, çok büyük Z_i ve çok küçük Z_o özelliklerine sahip olduğu için, empedans uydurma fonksiyonunu yerine getirebilir.
3. Çıkış akımı OP-AMP'tan çekildiği için, daha büyük çıkış akımı elde edilebilir.

KULLANILACAK ELEMANLAR

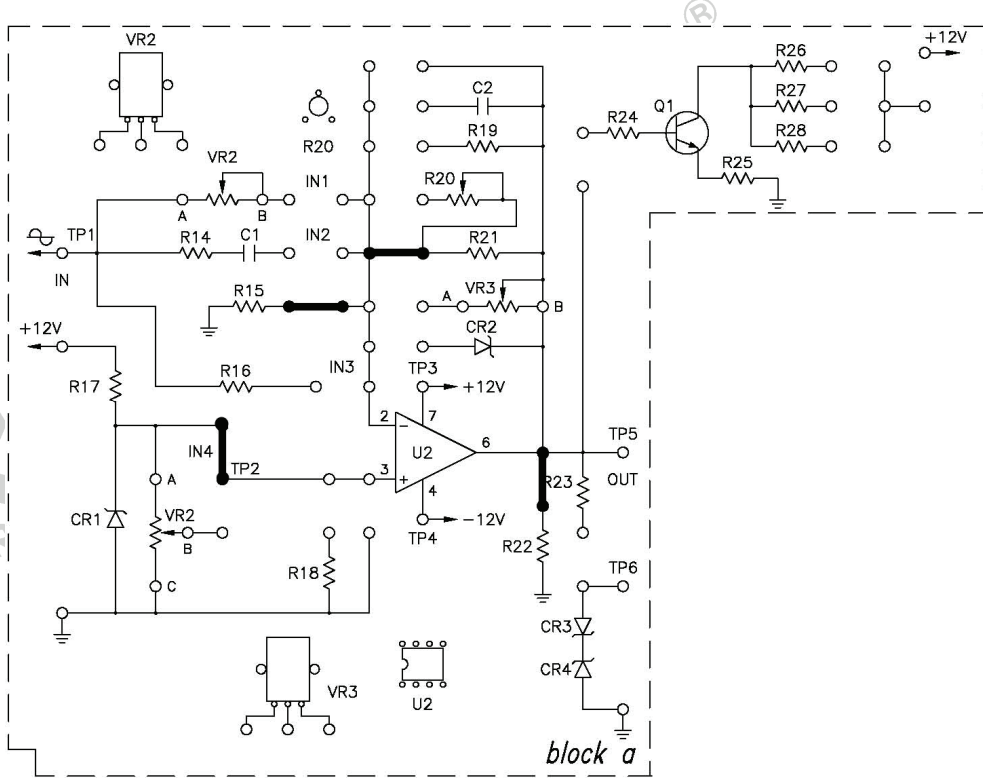
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25007 İşlemsel Yükselteç Devre Modülü (2)
3. Multimetre

DENEYİN YAPILIŞI

1. KL-25007 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve a bloğunu belirleyin. Şekil 11-7-2'deki devre ve Şekil 11-7-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın.
2. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25007 modülüne bağlayın.
3. Multimetre (DCV kademesinde) kullanarak, OUT (TP5) çıkış ucundaki gerilimin yaklaşık olarak sabit 9V değerine sahip olup olmadığını ölçün.



Şekil 11-7-2



Şekil 11-7-3 Bağlantı diyagramı (KL-25007 blok a)

SONUÇLAR

Şekil 11-7-1(a)'da gösterilen devrenin çıkış gerilimi, OP-AMP'ın besleme gerilimi tarafından sınırlandırıldığı için, regüle edilmiş gerilim değeri besleme geriliminden daha yüksek olamaz.

DENEY 11-8 Sabit Akım Devresi

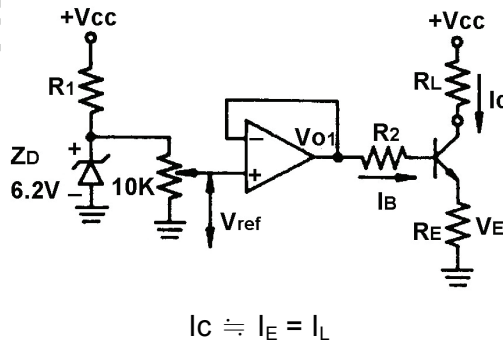
DENEYİN AMACI

1. Sabit akım devresinin çalışma prensibini anlamak.
2. Sabit akım devresinin çıkış akımını ölçmek.

GENEL BİLGİLER

Şekil 11-8-1'de gösterilen sabit akım devresi, üç temel kısımdan oluşmaktadır:

1. R_1 , Z_D ve $VR10K$ 'dan oluşan referans gerilim kaynağı
2. Gerilim izleyici olarak çalışan bir OP-AMP
3. R_L , bir transistör ve R_E 'den oluşan akım çıkış devresi. Burada R_L 'den akan akım transistör tarafından sağlanır ve bu devrenin I_C akımının kontrolü, I_B 'nin büyüklüğü kontrol edilerek gerçekleştirilir. V_{ref} değeri sabit kalan bu devrede, R_L değişse bile I_C aynı kalacaktır. Transistör aktif bölgede ($I_C = \beta I_B$) çalıştığı için, I_C değeri sadece I_B 'ye bağlıdır ve R_L değerinden bağımsızdır.



Şekil 11-8-1 Sabit akım devresi

KULLANILACAK ELEMANLAR

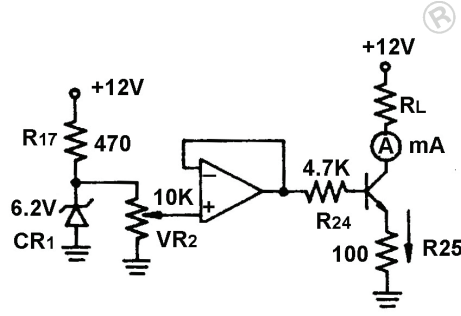
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25007 İşlemsel Yükselteç Devre Modülü (2)
3. Multimetre

DENEYİN YAPILIŞI

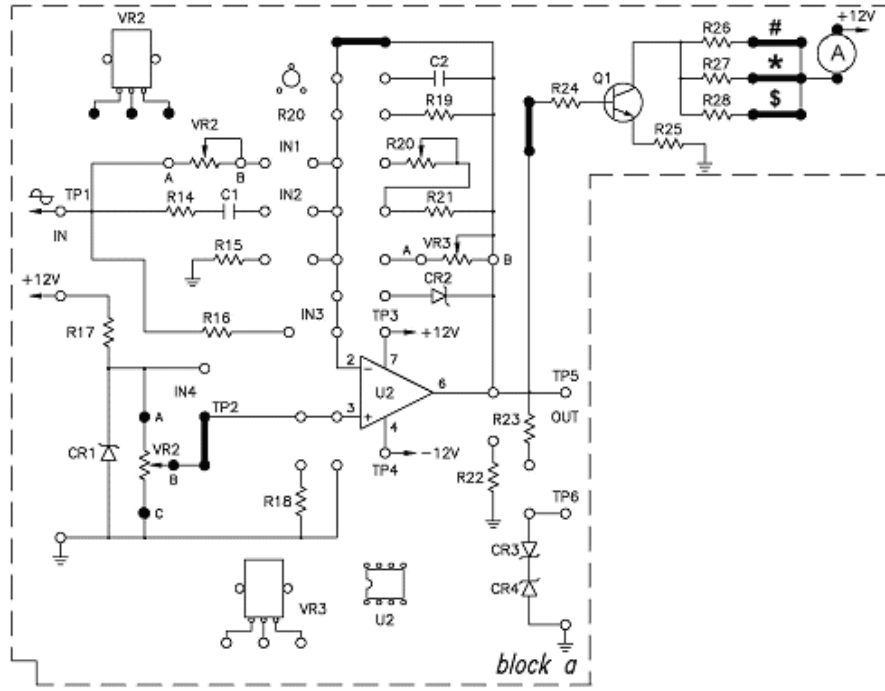
1. KL-25007 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve a bloğunu belirleyin. Şekil 11-8-2'deki devre ve Şekil 11-8-3'teki bağlantı diyagramı yardımıyla (# ve \$ işaretli klipsler hariç) gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR2'yi devreye bağlayın. R27(1K Ω), R_L olarak kullanılmaktadır. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25007 modülüne bağlayın.
2. VR2'yi, referans gerilim (V_{ref}) 1V olacak şekilde ayarlayın. Ampermetrede gösterilen I_L yük akımını okuyun ve TP5 (V_{TP5}) ucundaki çıkış gerilimini ölçün. Sonuçları Tablo 11-8-1'e kaydedin.
3. * işaretli klipsi devreden çıkartın ve # işaretli klipsi devreye bağlayın. Böylece, R_L, 2.2K Ω (R26) olarak değişmiş olur. 2. adımı tekrarlayın.
4. # işaretli klipsi devreden çıkartın ve \$ işaretli klipsi devreye bağlayın. Böylece, R_L, 150 Ω (R28) olarak değişmiş olur. 2. adımı tekrarlayın.
5. Ölçülen I_L akım değerinin sabit kalıp kalmadığını kontrol edin.

| | | | |
|------------------|-------------|---------------|--------------|
| R _L | 1K Ω | 2.2K Ω | 150 Ω |
| V _{TP5} | | | |
| I _L | | | |

Tablo 11-8-1



Şekil 11-8-2 Sabit akım devresi



Şekil 11-8-3 Bağlantı diyagramı (KL-25007 blok a)

SONUÇLAR

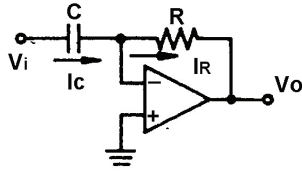
Şekil 11-18-1'deki devrede, I_C 'nin büyüklüğü I_B tarafından belirlenmektedir, $I_L = I_C = \beta I_B$. Bundan dolayı I_B sabit kaldığı sürece, I_C de, R_C değerinden bağımsız olarak, sabit kalır. Eğer transistör doyum bölgesinde çalışırsa, $I_C = (V_{CC} - V_C) / R_C$ olacağı için, I_C değeri R_C değeri ile birlikte değiştirilebilir. Bu yüzden transistör, aktif bölgede çalışacak şekilde öngerilimlenmelidir.

DENEY 11-9 Türev Alıcı Devre

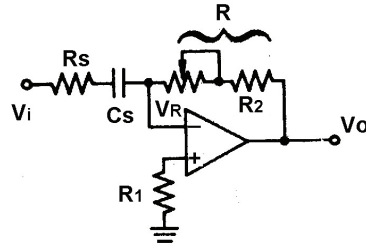
DENEYİN AMACI

1. Türev alıcı devrenin çalışma prensibini anlamak.
2. Türev alıcı devrenin giriş ve çıkış dalga şekillerini ölçmek.

GENEL BİLGİLER



(a) Temel devre



(b) Pratik devre

Şekil 11-9-1 RC türev alıcı devre

Şekil 11-9-1(a)'da gösterilen türev alıcı devre, temelde bir RC türev devresi uygulamasıdır. Bu devredeki I_C , aşağıdaki gibi hesaplanabilir:

$$\begin{aligned} I_C &= I_R \\ &= \frac{Q_C}{t} = \frac{CV_C}{t} = \frac{CV_i}{t} \\ \Rightarrow \frac{dQ_C}{dt} &= C \frac{dV_C}{dt} = C \frac{dV_i}{dt} \\ V_O &= -I_C R = -RC \frac{dV_i}{dt} \end{aligned}$$

V_i kare dalga ise, V_O darbe dizisi olur.

V_i üçgen dalga ise, V_O kare dalga olur.

Şekil 11-9-1(b)'de gösterildiği gibi, pratik devrelerde, yüksek frekans gürültüsünü, çok küçük X_{CS} 'den dolayı devrenin kararsız çalışmasını ve yüksek frekansta çok büyük yükseltme faktörünü engellemek amacıyla, R_S direnci bağlanır. R_1 direnci, giriş ucunda dengeleme direnci olarak kullanılır.

KULLANILACAK ELEMANLAR

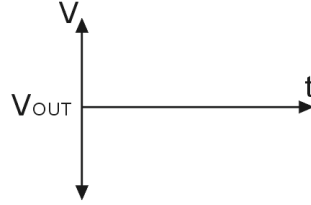
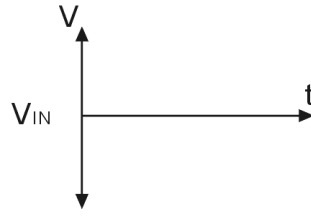
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25007 İşlemsel Yükselteç Devre Modülü (2)
3. Osiloskop
4. Multimetre

DENEYİN YAPILIŞI

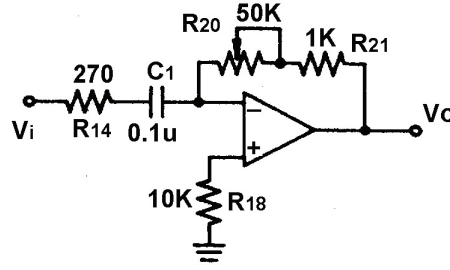
1. KL-25007 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve a bloğunu belirleyin. Şekil 11-9-2'deki devre ve Şekil 11-9-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25007 modülüne bağlayın.
2. KL-22001 Düzeneğindeki Fonksiyon Üretecini kullanarak, IN ucuna 1KHz'lik sinüzoidal işaret uygulayın. OUT çıkış ucuna osiloskop bağlayın.
3. Osiloskop ekranında maksimum, bozulmasız kare dalga şekli elde edilecek şekilde, R_{20} (50K) direncini ayarlayın ve R_{20} değerini ölçün. $R_{20} = \underline{\hspace{2cm}} \Omega$.
4. V_{IN} ve V_{OUT} gerilim dalga şekillerini Tablo 11-9-1'e kaydedin.

$$V_{OUT} = -RC_1 \frac{dV_{IN}}{dt}$$

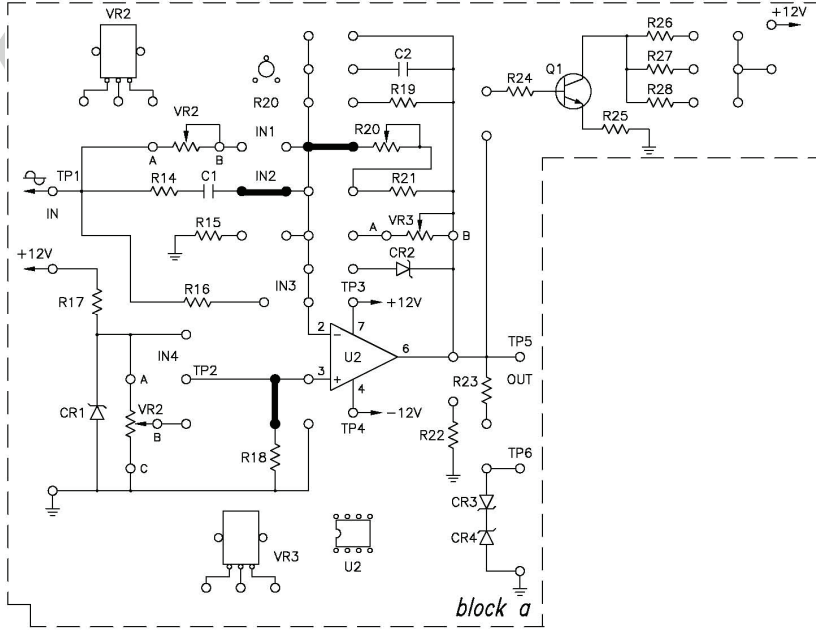
5. V_{IN} 'in frekansını değiştirerek 3. ve 4. adımları tekrarlayın.



Tablo 11-9-1



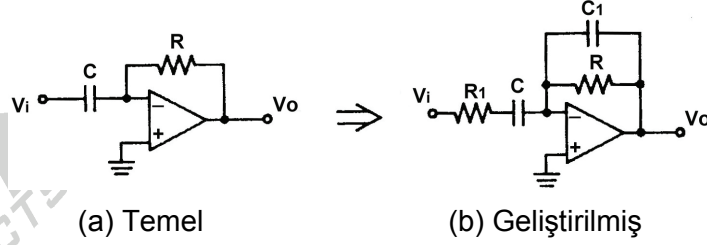
Şekil 11-9-2 Türev alıcı devre



Şekil 11-9-3 Bağlantı diyagramı (KL-25007 blok a)

SONUÇLAR

Geliştirilmiş bir türev devresi, Şekil 11-9-4(b)'te gösterilmiştir.



Şekil 11-9-4 Türev alıcı devreler

C_1 ve R_1 , Şekil 11-9-4(a)'daki devrede üretilen kararsızlık yada osilasyonu ortadan kaldırmak için kullanılmaktadır. Burada, $C_1 \ll C$ ve $R_1 \ll R$ 'dir.

C_1 ile, yukarısında X_{C_1} 'in hızlı bir şekilde küçüldüğü ve yüksek-frekans kazancının ve aynı zamanda gürültünün azaldığı, maksimum bir türev frekansı ayarlanabilir.

R_1 , yüksek-frekans kazancını sınırlayarak, devre çıkışının doyuma ulaşmasını ve osilasyon oluşmasını önler. Ayrıca giriş akımının azalmasına neden olur.

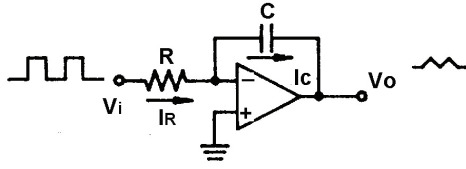
R_1 ve C_1 seçilirken şu kurala uyulmalıdır : $R_1 C = R C_1$

DENEY 11-10 İntegral Devresi

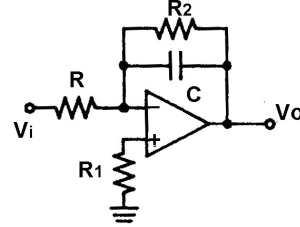
DENEYİN AMACI

1. İntegral devresinin çalışma prensibini anlamak.
2. İntegral devresinin giriş ve çıkış dalga şekillerini ölçmek.

GENEL BİLGİLER



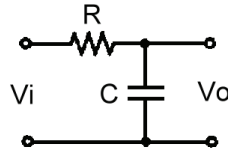
(a) Temel devre



(b) Pratik devre

Şekil 11-10-1 İntegral devresi

Şekil 11-10-1(a)'daki integral alıcı devre temelde, Şekil 11-10-1(b)'de gösterilen RC integral devresi uygulamasıdır. Bu devredeki I_C , aşağıdaki gibi hesaplanır:



Şekil 11-10-2 RC integral alıcı devresi

$$I_C = I_R$$

$$I_R = \frac{V_i - 0}{R} = \frac{V_i}{R} = I_C$$

$$V_o = V_c = \frac{Q}{C} = -\frac{I_C t}{C} = -\frac{1}{C} \int I_C dt = -\frac{1}{C} \int \frac{V_i}{R} dt = -\frac{1}{RC} \int V_i dt$$

Şekil 11-10-1(b)'de, pratik bir integral alıcı devre gösterilmiştir. Bu devredeki R_2 , yükselteç çıkışının doyuma ulaşmasını ve alçak frekanslarda büyük X_c nedeniyle integral devresinin yanlış çalışmasını engelleyebilir.

KULLANILACAK ELEMANLAR

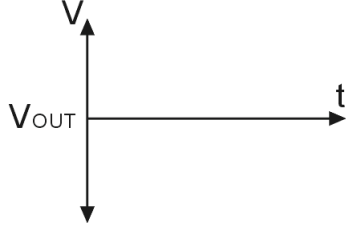
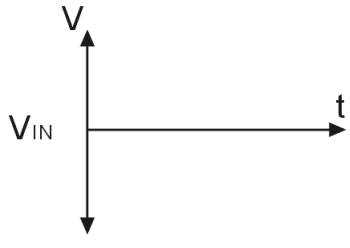
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25007 İşlemsel Yükselteç Devre Modülü (2)
3. Osiloskop

DENEYİN YAPILIŞI

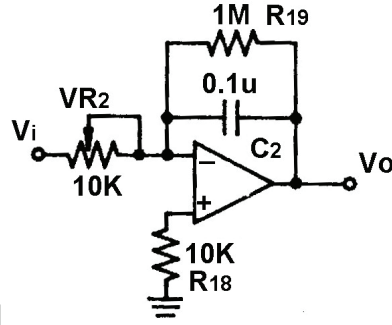
1. KL-25007 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve a bloğunu belirleyin. Şekil 11-10-3'teki devre ve Şekil 11-10-4'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR2'yi devreye bağlayın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25007 modülüne bağlayın.
2. KL-22001 Düzeneğindeki Fonksiyon Üreticini kullanarak, IN giriş ucuna 1KHz, $0.5V_{P-P}$ 'lik kare dalga uygulayın. OUT çıkış ucuna osiloskop bağlayın.

$$\text{Giriş frekansı } f \geq \frac{1}{2\pi VR_2 C_2}$$

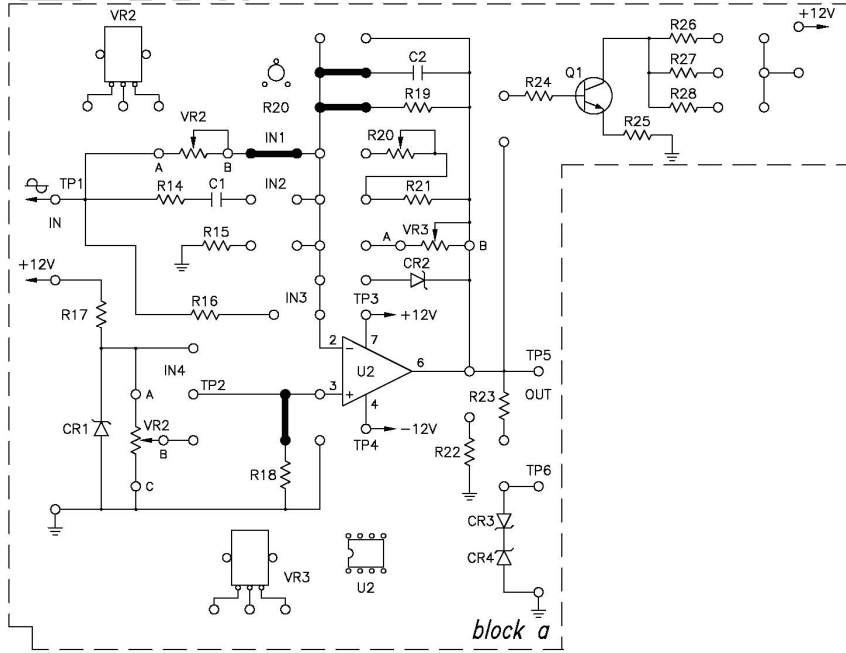
3. Osiloskopta, doğrusallığı iyi bir üçgen dalga görülünceye kadar, VR2(10K)'yi ayarlayın.
4. V_{IN} ve V_{OUT} dalga şekillerini ölçün ve Tablo 11-10-1'e kaydedin.



Tablo 11-10-1 Ölçülen giriş ve çıkış dalga şekilleri



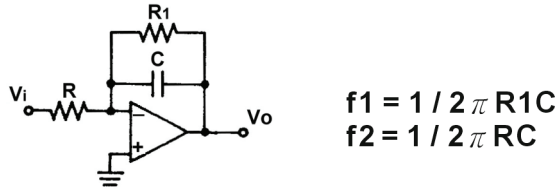
Şekil 11-10-3 İntegral alıcı devre



Şekil 11-10-4 Bağlantı diyagramı (KL-25007 blok a)

SONUÇLAR

İntegral devresi, Şekil 11-10-5'de gösterilen alçak geçiren filtre gibi fonksiyon göstermektedir. İntegral alıcı devrenin, yukarıda çalışacağı, birinci köşe frekansı $f_1=1/(2\pi R_1C)$ iken, devrenin etkisiz hale geleceği frekans değeri de $f_2=1/(2\pi RC)$ 'dir. Bu nedenle, intregal alıcı devrenin giriş sinyali frekansı f_1 ile f_2 arasında sınırlandırılmalıdır.



Şekil 11-10-5 Alçak geçiren filtre

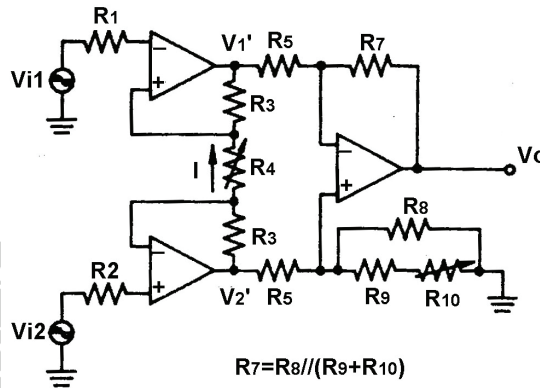
DENEY 11-11 Enstrümantasyon Yükselteç

DENEYİN AMACI

1. Enstrümantasyon yükseltecin çalışma prensibini anlamak.
2. Enstrümantasyon yükseltecin giriş ve çıkış dalga şekillerini ölçmek.

GENEL BİLGİLER

Şekil 11-11-1'de, enstrümantasyon yükselteç olarak adlandırılan, geliştirilmiş bir fark yükselteci gösterilmiştir:



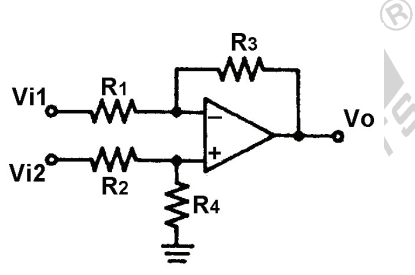
Şekil 11-11-1 Enstrümantasyon yükselteç

$$V_o = (V_{i2} - V_{i1}) \left(1 + \frac{2R_3}{R_4}\right) \frac{R_7}{R_5}$$

$$V_i = V_{i2} - V_{i1}$$

$$A_v = \left(1 + \frac{2R_3}{R_4}\right) \frac{R_7}{R_5}$$

Temel fark yükselteci devresi, Şekil 11-11-2'de gösterilmiştir. Aynı anda R_1 ve R_2 yada R_3 ve R_4 'ün ayarlanmasını gerektirdiği için, bu devrenin kazancını ayarlamak zordur. Diğer yandan, Şekil 11-11-1 ve yukarıdaki denklemden görüldüğü gibi, enstrümantasyon yükseltecin A_v değeri, basitçe R_4 ayarlanarak değiştirilebilir.



Şekil 11-11-2 Temel fark yükseltici

KULLANILACAK ELEMANLAR

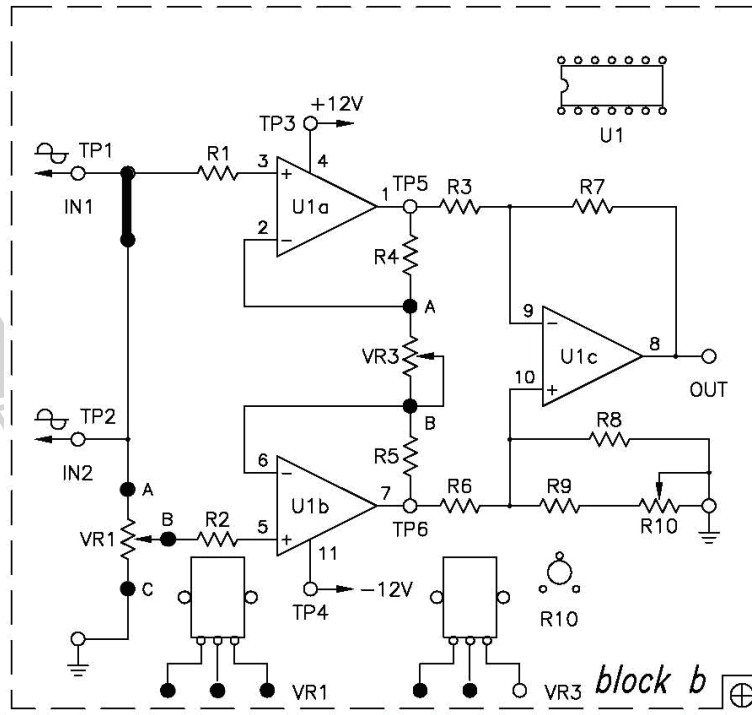
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25007 İşlemsel Yükselteç Devre Modülü (3)
3. Osiloskop

DENEYİN YAPILIŞI

1. KL-25008 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve b bloğunu belirleyin. Şekil 11-11-1'deki devre ve Şekil 11-11-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını ile VR1 ve VR3'ü devreye bağlayın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25008 modülüne bağlayın.
2. KL-22001 Düzeneğindeki Fonksiyon Üreticini kullanarak, IN1 giriş ucuna 1KHz, 1V_{p-p}'lik sinüzoidal sinyal uygulayın.
3. $V_{i1}=V_{i2}$ olacak şekilde VR1(1K)'i ayarlayın. Osiloskop kullanarak, $V_i=V_{i1}-V_{i2}$ ve V_{OUT} gerilimlerini ölçün ve Tablo 11-11-1'e kaydedin.
4. $V_{i2}=V_{i1}/2$ olacak şekilde VR1(1K)'i ayarlayın. Osiloskop kullanarak, $V_i=V_{i1}-V_{i2}$ ve V_{OUT} gerilimlerini ölçün ve Tablo 11-11-1'e kaydedin.
5. $V_{i2}=0$ olacak şekilde VR1(1K)'i ayarlayın. Osiloskop kullanarak, $V_i=V_{i1}-V_{i2}$ ve V_{OUT} gerilimlerini ölçün ve Tablo 11-11-1'e kaydedin.

| VR1 | $V_{i2}=V_{i1}$ | $V_{i2}=V_{i1}/2$ | $V_{i2}=0$ |
|---------------------|-----------------|-------------------|------------|
| $V_i=V_{i1}-V_{i2}$ | | | |
| V_{OUT} | | | |

Tablo 11-11-1



Şekil 11-11-3 Bağlantı diyagramı (KL-25008 blok b)

SONUÇLAR

Enstrümantasyon yükselteç devresinin V_{i1} ve V_{i2} girişlerine uygulanan sinyallerin fazları farklı ise, osiloskopta görüntülenen sinyaller faz farkı nedeniyle kayacaktır.

$100K\Omega \gg 1K\Omega$ olduğu için, $VR1(1K\Omega)$ değişken direncinin ayarlanması, dalga şeklinde çok küçük (hemen hemen görünmez) bir değişime neden olacaktır. Bununla birlikte $VR1(1K\Omega)$ 'deki küçük bir değişim, yükseltecin gürültü azaltma yeteneğini geliştiren, CMRR değerini değiştirebilir.

Bölüm 12 İşlemsel Yükselteç Uygulamaları

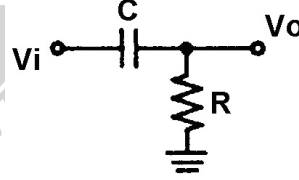
DENEY 12-1 Aktif Yüksek Geçiren Filtre

DENEYİN AMACI

1. Aktif yüksek geçiren filtrenin çalışma prensibini anlamak.
2. Aktif yüksek geçiren filtrenin frekans tepkesini ölçmek.

GENEL BİLGİLER

Şekil 12-1-1'de pasif bir yüksek-geçiren filtre gösterilmiştir. Bu devrede V_O , R direnci üzerindeki gerilimdir.

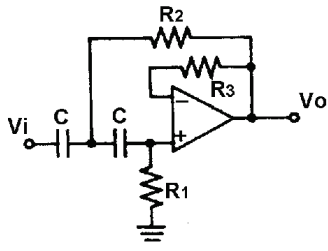


Şekil 12-1-1 Pasif yüksek-geçiren filtre

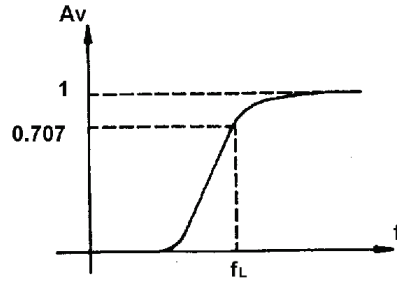
$$V_O = V_R = V_i \frac{R}{R - jX_C} = V_i \frac{R}{\sqrt{R^2 + X_C^2} \angle \tan^{-1}\left(\frac{-X_C}{R}\right)} \quad (12-1-1)$$

Denklem (12-1-1)'den, daha küçük X_C değerinin, daha yüksek V_O 'a neden olacağı anlaşılmaktadır. $X_C = 1/(2\pi fC)$ olduğu için, f arttıkça X_C küçülür ve yüksek frekans bölgesinde daha büyük çıkış gerilimi elde edilir.

Şekil 12-1-2(a)'da, pasif bir yüksek geçiren filtre ve bir OP-AMP'tan oluşan aktif yüksek geçiren filtre devresi gösterilmiştir. Karakteristik eğri Şekil 12-1-2(b)'de gösterilmiştir.



(a) Yüksek geçiren filtre



(b) Karakteristik eğri

Şekil 12-1-2 Aktif yüksek geçiren filtre

Şekil 12-1-2(a)'da gösterildiği gibi, OP-AMP ve R3'ten oluşan ve $A_v=1$ olan gerilim izleyici devresi, yüksek geçiren filtre devresine yüksek empedanslı bir yük sağlamaktadır. R_2C ve R_1C , ikinci dereceden yüksek geçiren filtre devresi oluşturmaktadır. Yüksek geçiren filtrenin kesim frekansı yada alt 3-dB frekansı f_L , aşağıdaki gibi hesaplanabilir:

$$f_L = \frac{1}{2\pi C \sqrt{R_1 R_2}} \quad (12-1-2)$$

Eğer $R_1=R_2$ olursa, $f_L = \frac{1}{2\pi RC}$ olur.

KULLANILACAK ELEMANLAR

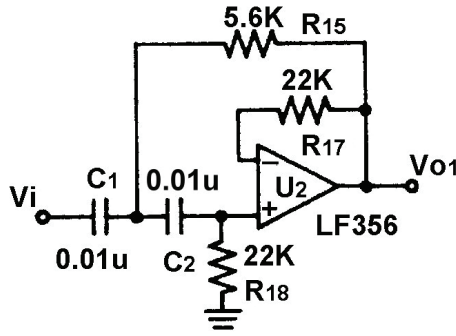
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25008 İşlemsel Yükselteç Devre Modülü (3)
3. Osiloskop

DENEYİN YAPILIŞI

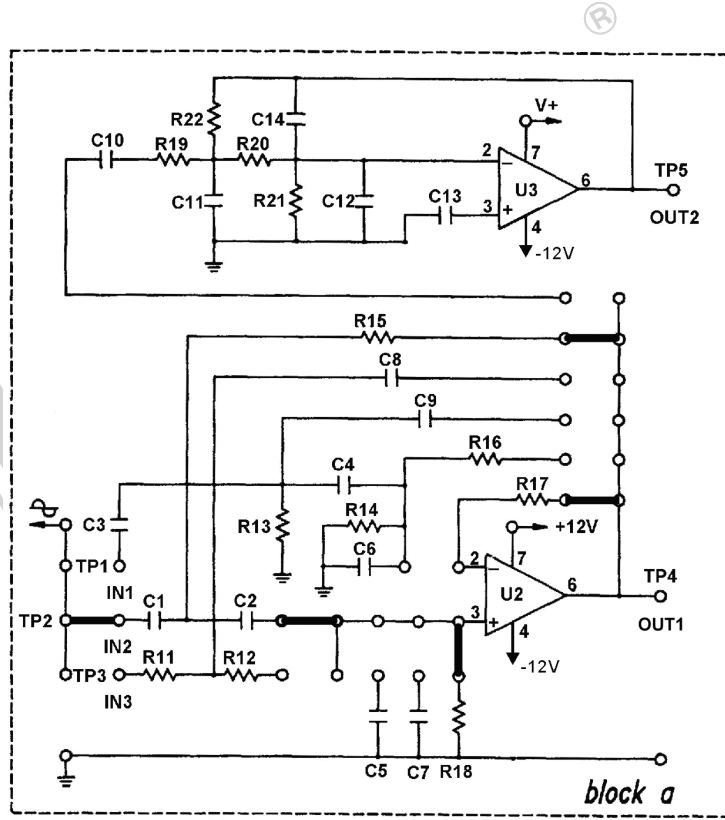
1. KL-25008 modülünü, KL-22001 Temel Elektrik Devreleri Denei Düzeneğinin üzerine koyun ve a bloğunu belirleyin. Şekil 12-1-3'teki devre ve Şekil 12-1-4'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25008 modülüne bağlayın.
2. KL-22001 Düzeneğindeki Fonksiyon Üreticini kullanarak, IN2 (V_i) ucuna $5V_{P-P}$ 'lik sinüzoidal işaret uygulayın. OUT1 (TP4) çıkış ucuna osiloskop bağlayın.
3. Frekansı, 10Hz ile 15KHz arasında, Tablo 12-1-1'de belirtilen değerlere ayarlayın. Her frekansa ilişkin V_o çıkış gerilimini ölçün ve Tablo 12-1-1'e kaydedin.
4. $A_v=V_o/V_i$ denklemini kullanarak gerilim kazancını hesaplayın ve Tablo 12-1-1'e kaydedin.
5. Frekans tepkesi eğrisini Şekil 12-1-5'e çizin ve aktif yüksek geçiren filtrenin alt 3-dB frekansı f_L 'yi işaretleyin.

| $V_i=5V_{P-P}$ | | | | | | | | | | | | | | | | |
|---------------------|----|----|-----|-----|-----|----|------|------|----|----|----|----|----|-----|-----|-----|
| Frekans (Hz) | 10 | 50 | 100 | 200 | 500 | 1K | 1.1K | 1.2K | 2K | 3K | 4K | 6K | 8K | 10K | 12K | 15K |
| V_o (V_{p-p}) | | | | | | | | | | | | | | | | |
| A_v | | | | | | | | | | | | | | | | |

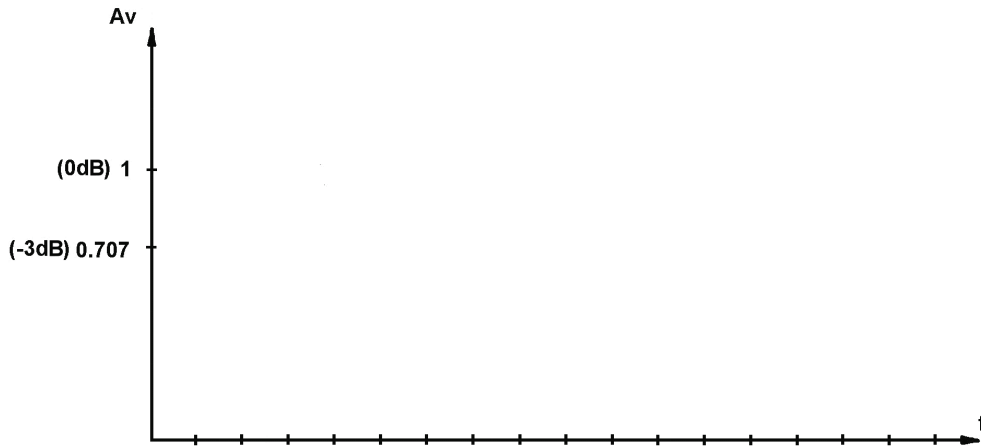
Tablo 12-1-1



Şekil 12-1-3 Aktif yüksek geçiren filtre



Şekil 12-1-4 Bağlantı diyagramı (KL-25008 blok a)



Şekil 12-1-5

SONUÇLAR

Yüksek geçiren filtre, sadece alt 3-dB frekansından daha büyük frekanslı sinyalleri geçirebilir.

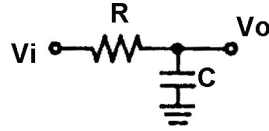
DENEY 12-2 Aktif Alçak Geçiren Filtre

DENEYİN AMACI

1. Aktif alçak geçiren filtrenin çalışma prensibini anlamak.
2. Aktif alçak geçiren filtrenin frekans tepkesini ölçmek.

GENEL BİLGİLER

Şekil 12-2-1'de pasif bir alçak-geçiren filtre gösterilmiştir. Bu devrede V_o , C kondansatörü üzerindeki gerilimdir.

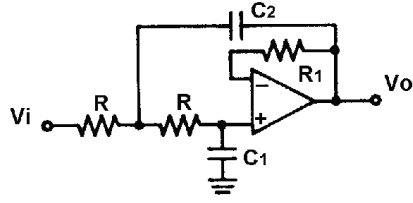


Şekil 12-2-1 Pasif alçak geçiren filtre

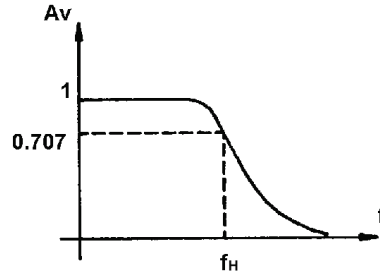
$$V_o = V_c = V_i \frac{-jX_c}{R - jX_c} = V_i \frac{X_c \angle -90^\circ}{\sqrt{R^2 + X_c^2} \angle \tan^{-1}\left(\frac{-X_c}{R}\right)} \quad (12-1-1)$$

Denklem (12-1-1)'den, daha büyük X_c değerinin, daha yüksek V_o 'a neden olacağı anlaşılmaktadır. $X_c = 1/(2\pi fC)$ olduğu için, f azaldıkça X_c büyür ve alçak frekans bölgesinde daha büyük çıkış gerilimi elde edilir.

Şekil 12-1-2(a)'da, OP-AMP içeren bir alçak geçiren yükselteç devresi gösterilmiştir. Karakteristik eğrisi de Şekil 12-2-2(b)'de gösterilmiştir.



(a) Alçak geçiren filtre



(b) Karakteristik eğri

Şekil 12-2-2 Aktif alçak geçiren filtre

Üst 3-dB frekansı yada kesim frekansı f_H , $f_H=1/(2\pi RC_1)$ denklemi ile hesaplanabilir.

Şekil 12-2-2(a)'da gösterildiği gibi, OP-AMP ve R_1 'den oluşan ve $A_V=1$ olan gerilim izleyici devresi, alçak geçiren filtre devresine yüksek empedanslı bir yük sağlamaktadır. RC_2 ve RC_1 , ikinci dereceden alçak geçiren filtre devresi oluşturmaktadır.

KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25008 İşlemsel Yükselteç Devre Modülü (3)
3. Osiloskop

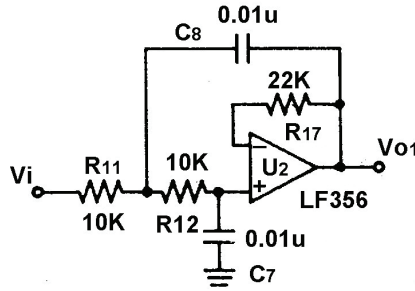
DENEYİN YAPILIŞI

1. KL-25008 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve a bloğunu belirleyin. Şekil 12-2-3'teki devre ve Şekil 12-2-4'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25008 modülüne bağlayın.
2. KL-22001 Düzeneğindeki Fonksiyon Üreticini kullanarak, IN3 (V_i) ucuna $5V_{P-P}$ 'lik sinüzoidal işaret uygulayın. OUT1 (TP4) çıkış ucuna osiloskop bağlayın.

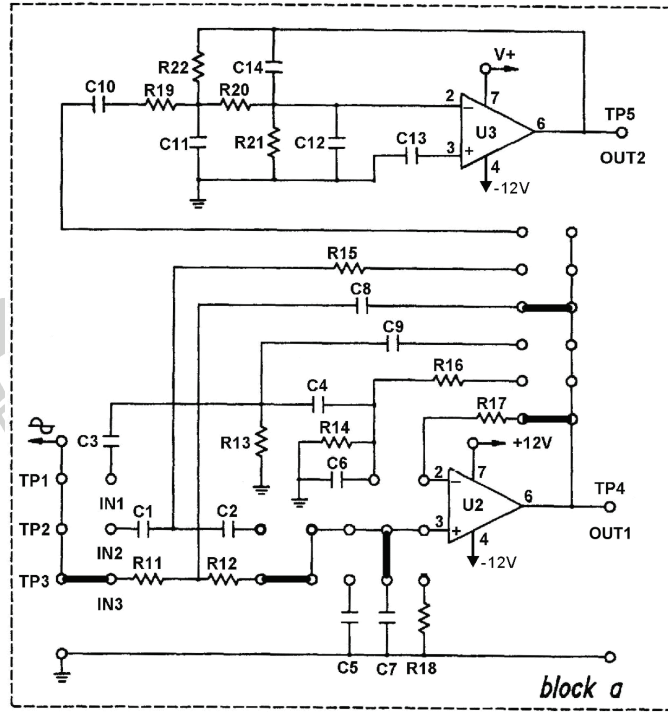
3. Frekansı, 10Hz ile 15KHz arasında, Tablo 12-2-1'de belirtilen değerlere ayarlayın. Her frekansa ilişkin V_o çıkış gerilimini ölçün ve Tablo 12-2-1'e kaydedin.
4. $A_v=V_o/V_i$ denklemini kullanarak gerilim kazancını hesaplayın ve Tablo 12-2-1'e kaydedin.
5. Frekans tepkesi eğrisini Şekil 12-2-5'e çizin ve aktif alçak geçiren filtrenin üst 3-dB frekansı f_H 'yi işaretleyin.

| $V_i=5V_{P-P}$ | | | | | | | | | | | | | | | | |
|----------------|----|----|-----|-----|-----|-----|-----|----|----|----|----|----|----|-----|-----|-----|
| Frekans (Hz) | 10 | 50 | 100 | 200 | 400 | 600 | 800 | 1K | 2K | 3K | 4K | 6K | 8K | 10K | 12K | 15K |
| V_o (Vp-p) | | | | | | | | | | | | | | | | |
| A_v | | | | | | | | | | | | | | | | |

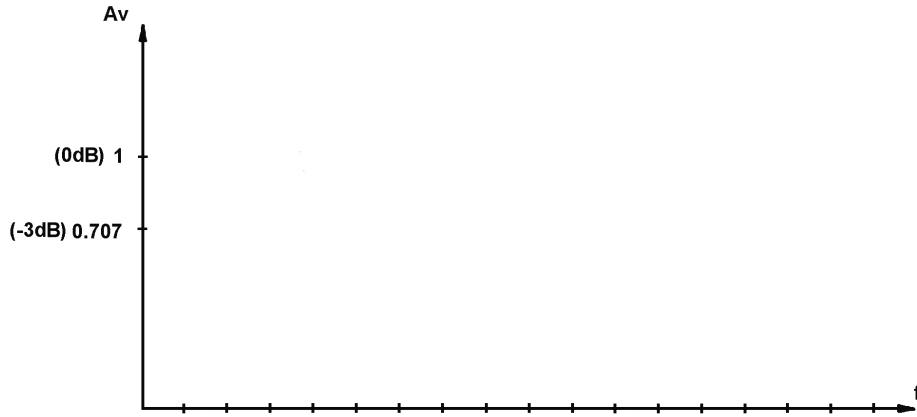
Tablo 12-2-1



Şekil 12-2-3 Aktif alçak geçiren filtre



Şekil 12-2-4 Bağlantı diyagramı (KL-25008 blok a)



Şekil 12-2-5

SONUÇLAR

Alçak geçiren filtre, sadece üst 3-dB frekansından daha küçük frekanslı sinyalleri geçirebilir.

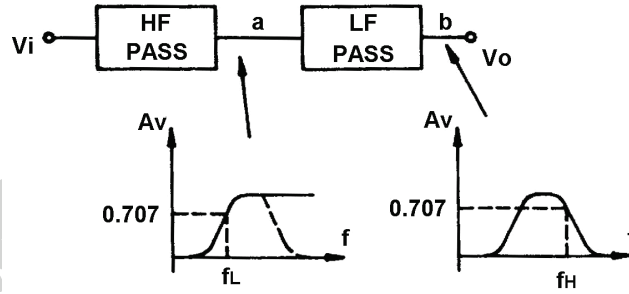
DENEY 12-3 Aktif Bant Geçiren Filtre

DENEYİN AMACI

1. Aktif bant geçiren filtrenin çalışma prensibini anlamak.
2. Aktif bant geçiren filtrenin frekans tepkesini ölçmek.

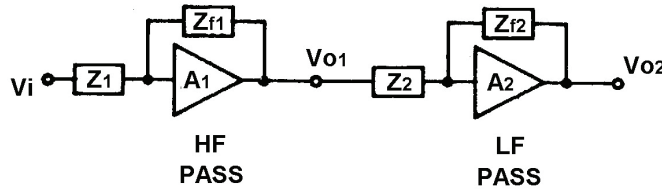
GENEL BİLGİLER

Şekil 12-3-1'de gösterildiği gibi, giriş sinyali yüksek geçiren ve alçak geçiren devrelerden geçtikten sonra, sırasıyla alçak frekanslı ve yüksek frekanslı sinyaller zayıflar. Sadece orta frekans bölgesindeki sinyaller (belirli bir frekans spektrumu) kalır ve çıkışa aktarılır.



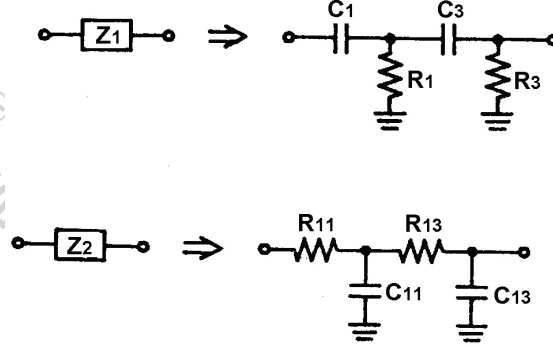
Şekil 12-3-1

Şekil 12-3-2'de, işlemsel yükselteç ve ilgili bileşenlerden oluşan pratik bir aktif bant geçiren filtre gösterilmiştir.



Şekil 12-3-2 Aktif bant geçiren filtre

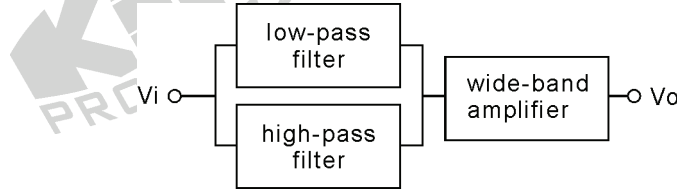
Şekil 12-3-2'de, $A_{V1} = -Z_{f1}/Z_1$ ve $A_{V2} = -Z_{f2}/Z_2$ 'dir. Z_1 ve Z_2 için RC develeri, Şekil 12-3-3'te gösterilmiştir.



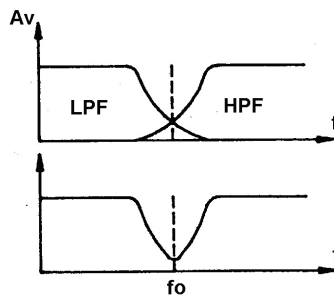
Şekil 12-3-3 Z_1 ve Z_2 için eşdeğer devreler

Açıkça görüldüğü gibi, Z_1 yüksek geçiren, Z_2 ise alçak geçiren bir devredir.

Şekil 12-3-4'de, paralel bağlı alçak geçiren ve yüksek geçiren filtreler ile bunları takip eden geniş bant bir yükselteçten oluşan, bant durduran filtrenin blok yapısı ve karakteristik eğrisi gösterilmiştir. Bu filtre, alt 3-dB frekansından daha küçük ve üst 3-dB frekansından daha büyük frekanslı sinyalleri geçirecektir.



(a) Blok diyagramı



(b) Karakteristik eğri

Şekil 12-3-4 Bant durduran filtre

KULLANILACAK ELEMANLAR

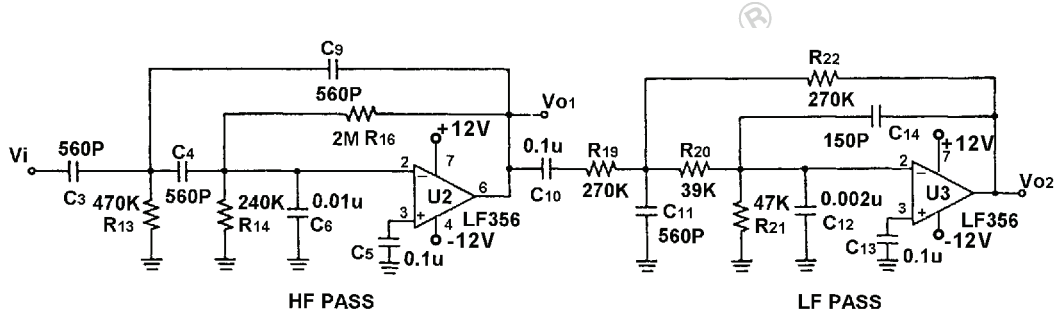
1. KL-22001 Temel Elektrik Devreleri Deneş Düzeneęi
2. KL-25008 İşlemsel Yükselteç Devre Modülü (3)
3. Osiloskop

DENEYİN YAPILIŞI

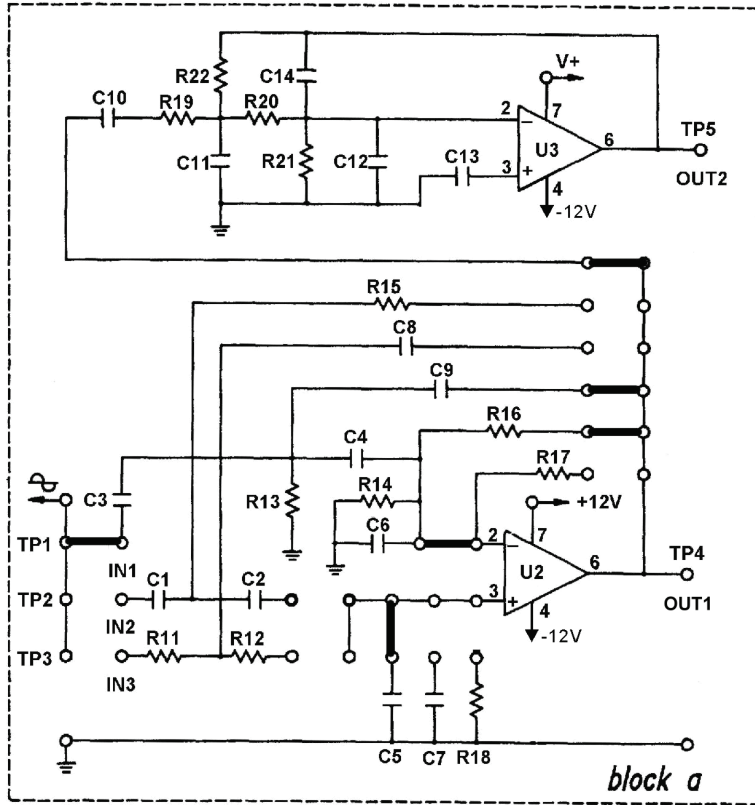
1. KL-25008 modülünü, KL-22001 Temel Elektrik Devreleri Deneş Düzeneęinin üzerine koyun ve a bloęunu belirleyin. Şekil 12-3-5'teki devre ve Şekil 12-3-6'daki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. KL-22001 Düzeneęindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25008 modülüne bağlayın. +12VDC'yi V+ ucuna bağlayın.
2. KL-22001 Düzeneęindeki Fonksiyon Üreticini kullanarak, IN1 (V_i) ucuna $2V_{p-p}$ 'lik sinüzoidal işaret uygulayın.
3. Frekansı, 10Hz ile 10KHz arasında, Tablo 12-3-1'de belirtilen değerlere ayarlayın. Osiloskop kullanarak, her frekansa ilişkin, OUT1 (TP4) ucundaki V_{O1} ve OUT2 (TP5) ucundaki V_{O2} çıkış gerilimlerini ölçün ve Tablo 12-3-1'e kaydedin.
4. $A_v = V_o / V_i$ denklemini kullanarak gerilim kazancını hesaplayın ve Tablo 12-3-1'e kaydedin.
5. Frekans tepkesi eğrisini Şekil 12-3-7'ye çizin ve aktif bant durduran filtrenin üst 3-dB frekansı f_H ile alt 3-dB frekansı f_L 'yi işaretleyin.

| $V_i = 2V_{p-p}$ | | | | | | | | | | | | | |
|------------------|----|-----|-----|-----|-----|-----|----|----|----|----|----|----|-----|
| Frekans (Hz) | 10 | 100 | 200 | 300 | 500 | 800 | 1K | 2K | 3K | 4K | 5K | 8K | 10K |
| V_o (Vp-p) | | | | | | | | | | | | | |
| A_v | | | | | | | | | | | | | |

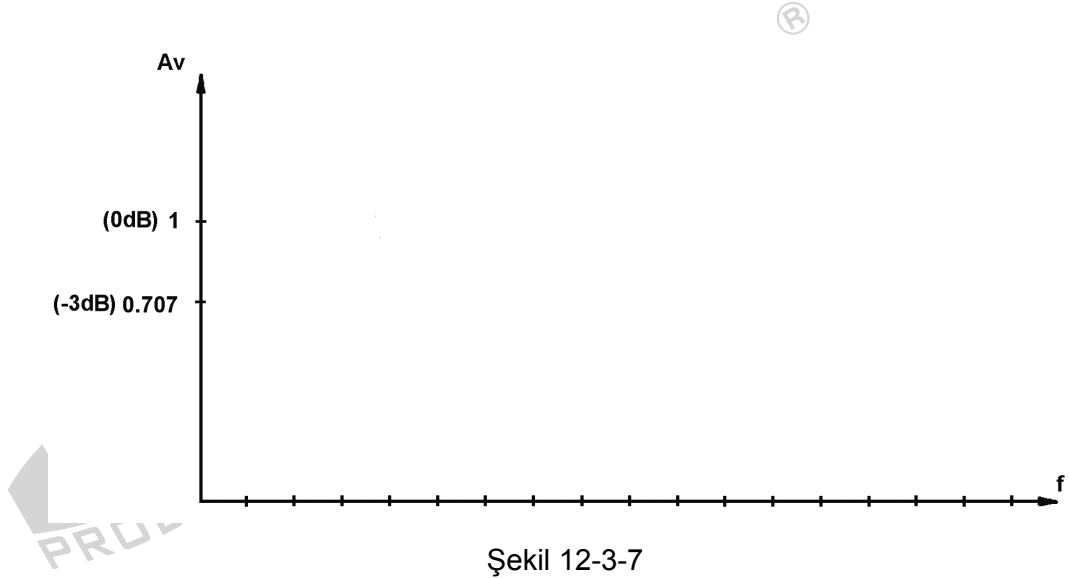
Tablo 12-3-1



Şekil 12-3-5 Aktif bant geçiren filtre



Şekil 12-3-6 Bağlantı diyagramı (KL-25008 blok a)



SONUÇLAR

Bant geçiren filtre, sadece alt 3-dB frekansından daha büyük ve üst 3-dB frekansından daha küçük frekanslı sinyalleri geçirebilir.

DENEY 12-4 Ton Kontrol Devresi

DENEYİN AMACI

1. Ton kontrol devresinin çalışma prensibini anlamak.
2. Çıkış dalgı şekli üzerinde tiz ve bas kontrolün etkilerini göstermek.

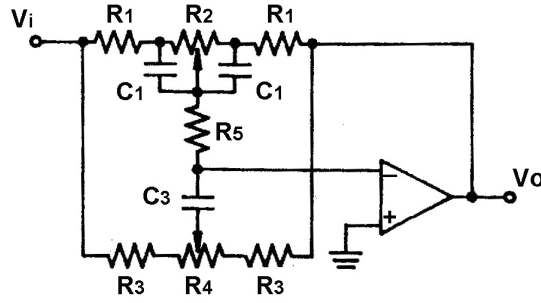
GENEL BİLGİLER

Yükselteçlerde önemli bir yapı taşı olan ton kontrol devresi, Hi-Fi alanında gerekli bir elemandır. Ton kontrolü kullanılmasıdaki birinci amaç, kişisel olarak istenen tonun elde edilebilmesini sağlamaktır. Ton kontrolünde ikinci amaç, kaydedici yada çalııcı cihazdan kaynaklanan kusurları dengelemek yada kompanze etmektir. Diğer bir amaç da, ton çok geniş bir frekans aralığında deęiştirilebildiđi için, yükseltici, yüksek-kaliteli müziđi farklı stillerde yeniden üretecek şekilde, adapte ederek, odadaki ses etkisinin iyileştirilmesidir. Ticari olarak farklı modellerde yükselticiler bulunmasına rağmen, ton kontrolü iki ana kategorinin dışına çıkmamaktadır: RC zayıflatıcı tip ve RC negatif geri beslemeli tip (NFB).

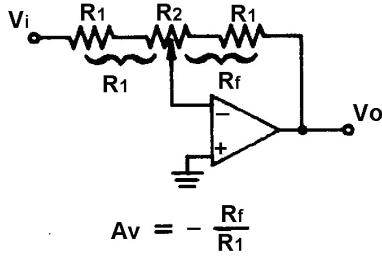
Bu deneyde ele alınan RC negatif geri beslemeli tip devresi, Şekil 12-4-1(a)'da gösterilmiştir. Bu devre temel olarak, ton kontrol devresini negatif geri besleme devresine bağlayan ve ton kontrol devresinin frekansı ile negatif geri besleme miktarını kontrol eden, bir evirici yükselteç uygulamasıdır. Negatif geri besleme miktarının artmasıyla frekans kazancı azalmakta, negatif geri besleme miktarının artmasıyla frekans kazancı artmakta ve bu şekilde ton kontrolü gerçekleştirilmiş olmaktadır.

Şekil 12-4-1(b), $A_V = -R_f/R_1$ kazancına sahip bir eviren yükselteci göstermektedir. Burada, deęişken direnç sağa çevrilerek R_f deęeri azaltılırsa, A_V kazancı da azalır. Şekil 12-4-1(c)'de gösterildiđi gibi, frekans seçme amaçlı iki C_1 kondansatörü R_2 'ye bağlanmıştır. $X_{C1} = 1/(2\pi f C_1)$ yüksek frekans bölgesinde çok küçük olduđu için, R_2 hemen hemen kısa devre olur ve $A_V = -R_f/R_1 = 1$ olacağı için yükseltme gerçekleşmez. Diğer yandan, alçak frekans bölgesinde X_{C1} çok büyük olduğunda, R_2 deęişken

direncinin konumunu ayarlayarak alçak frekans bölgesindeki yükseltme oranını değiştirmek suretiyle, bir bas kontrol devresi gerçekleştirilebilir. Burada alçak frekans seviyesi, R_2 sola çevrildikçe yükseltilmekte, R_2 sağa çevrildikçe zayıflatılmaktadır.

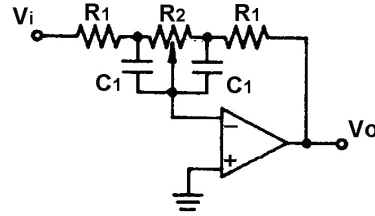


(a) Tam NFB ton kontrol devresi

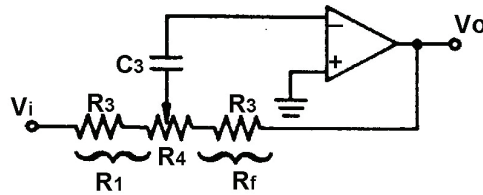


$$A_v = -\frac{R_f}{R_1}$$

(b) Eviren yükselteç



(c) Bas kontrol devresi



(d) Tiz kontrol devresi

Şekil 12-4-1 NFB ton kontrol devreleri

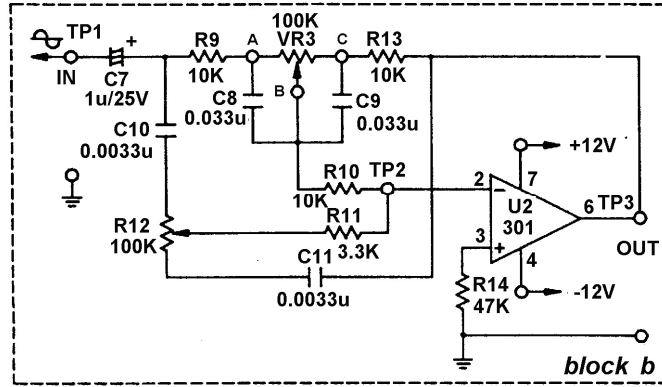
Şekil 12-4-1(d)'de gösterilen tiz kontrol devresi, X_{C3} çok büyük olacağı için, alçak frekans bölgesinde çalışmayacaktır. Diğer yandan X_{C3} 'ün çok küçük olduğu yüksek frekans bölgesinde, bu tiz kontrol devresi, R_4 'ü ayarlayarak A_v 'yi ($A_v = -R_f/R_1$) değiştirmek suretiyle, tiz şiddetini kontrol etme fonksiyonunu yerine getirecektir. Şekil 12-4-1(a)'da gösterildiği gibi, yüksek ve alçak frekanslı sinyaller arasındaki parazitleri engellemek için, R_5 devreye eklenmiştir.

KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25009 İşlemsel Yükselteç Devre Modülü (4)
3. Osiloskop

DENEYİN YAPILIŞI

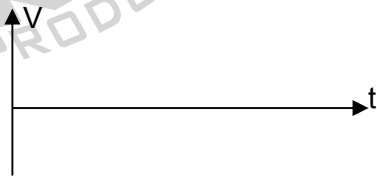

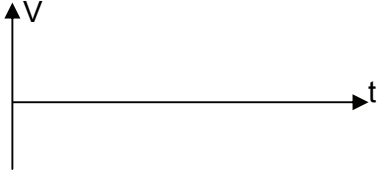

1. KL-25009 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve b bloğunu belirleyin. Şekil 12-4-1(a)'daki devre ve Şekil 12-4-2'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kabloları yardımıyla VR3'ü devreye bağlayın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25009 modülüne bağlayın.



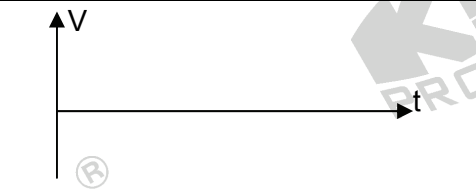
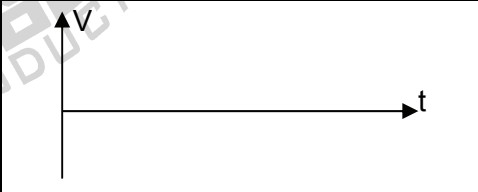


Şekil 12-4-2 Bağlantı diyagramı (KL-25009 blok b)

2. KL-22001 Düzeneğindeki Fonksiyon Üreticini kullanarak, IN (V_i) ucuna 1KHz, $1V_{P-P}$ 'lik kare dalga uygulayın.
3. VR3 ve R₁₂'yi orta konumlarına ayarlayın. IN ucundaki V_i giriş dalga şeklini ve OUT ucundaki V_o çıkış dalga şeklini ölçün ve kaydedin.
4. VR3(100K)'ü saat dönüş yönünün tersine tam olarak çevirin. IN ucundaki V_i giriş dalga şeklini ve OUT ucundaki V_o çıkış dalga şeklini ölçün ve Tablo 12-4-1'e kaydedin.

5. VR3(100K)'ü saat dönüş yönünde tam olarak çevirin. IN ucundaki V_i giriş dalga şeklini ve OUT ucundaki V_o çıkış dalga şeklini ölçün ve Tablo 12-4-1'e kaydedin.
6. R_{12} (100K)'yi saat dönüş yönünün tersine tam olarak çevirin. IN ucundaki V_i giriş dalga şeklini ve OUT ucundaki V_o çıkış dalga şeklini ölçün ve Tablo 12-4-2'ye kaydedin.
7. R_{12} (100K)'yi saat dönüş yönünde tam olarak çevirin. IN ucundaki V_i giriş dalga şeklini ve OUT ucundaki V_o çıkış dalga şeklini ölçün ve Tablo 12-4-2'ye kaydedin.
8. KL-22001 Düzeneğindeki Fonksiyon Üreticini kullanarak, IN ucuna 60Hz, $1V_{p-p}$ 'lik sinüzoidal sinyal uygulayın. Sırasıyla VR3 (bas kontrol) ve R_{12} (tiz kontrol) değişken dirençlerini ayarlayarak, hangi değişken direncin daha iyi ayarlama etkisi sağladığını gözlemleyin.
9. KL-22001 Düzeneğindeki Fonksiyon Üreticini kullanarak, IN ucuna 5KHz, $1V_{p-p}$ 'lik sinüzoidal sinyal uygulayın. Sırasıyla VR3 (bas kontrol) ve R_{12} (tiz kontrol) değişken dirençlerini ayarlayarak, hangi değişken direncin daha iyi ayarlama etkisi sağladığını gözlemleyin.

| VR3 | Saat dönüş yönünün tersine tam olarak çevrilmiş | Saat dönüş yönünde tam olarak çevrilmiş |
|-------|---|--|
| V_i |  |  |
| V_o |  |  |

Tablo 12-4-1

| R12 | Saat dönüş yönünün tersine tam olarak çevrilmiş | Saat dönüş yönünde tam olarak çevrilmiş |
|-------|---|--|
| V_i |  |  |
| V_o |  |  |

Tablo 12-4-2

SONUÇLAR

Ton kontrol devresi, yüksek geçiren ve alçak geçiren filtre uygulamasıdır. Tiz kontrolü yüksek frekans kazancını kontrol etmek için kullanılırken, bas kontrolü ise alçak frekans kazancını kontrol etmek için kullanılır.

Bölüm 13 OPAMP'lı Karşılaştırıcı ve Osilatör Devreleri

DENEY 13-1 Karşılaştırıcılar

DENEYİN AMACI

1. Karşılaştırıcı devrelerin çalışma prensiplerini anlamak.
2. Sıfır karşılaştırıcıların giriş ve çıkış gerilimleri arasındaki ilişkiyi anlamak.

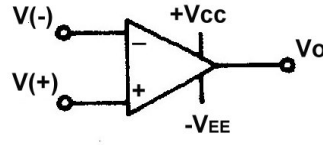
GENEL BİLGİLER

OPAMP'ın, önceki bölümlerde anlatılan negatif geribesleme uygulamalarına ek olarak, pozitif geribesleme uygulamaları da bulunmaktadır. Bu bölümde, sıklıkla kullanılan bazı devreler tanıtılacaktır.

Sıfır Karşılaştırıcı

İdeal OPAMP için $A_v = \infty$ iken, ideal olmayan OPAMP için bu değer on binler mertebesinde. OPAMP, negatif geri besleme bağlantısı olmadan yükselteç olarak kullanılamaz. Yükseltme katsayısı 10000 olan bir yükselteç için; $V_i = 10\text{mV}$ olduğunda $V_o = 10\text{mV} \times 10000$ olmalıdır, ancak bu değer, besleme gerilimi $+V_{CC}$ yada $-V_{CC}$ 'ye eşit olduğu için, mümkün değildir. Aynı şekilde, $V_i = 0.1\text{V}$ olduğunda $V_o = 0.1\text{V} \times 10000 = 1000\text{V}$ olmalıdır, ancak bu değer de, besleme gerilimi $+V_{CC}$ yada $-V_{CC}$ 'ye eşit olduğu için, mümkün değildir. Bu yükselteç, $+V_{CC}$ yada $-V_{CC}$ çıkış vereceği için, bozulmasız yükseltme işlemi kullanılamaz.

Negatif geribesleme bağlantısı olmayan OPAMP yükselteç olarak kullanılamaz, ancak, Şekil 13-1-1'de gösterildiği gibi (çift besleme gerilimi ile) karşılaştırıcı olarak kullanılabilir.



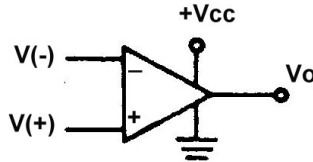
Şekil 13-1-1 Çift besleme gerilimli karşılaştırıcı

Eğer

- $V(+)$ > $V(-)$ ise $V_O = +V_{CC}$
- $V(+)$ = $V(-)$ ise $V_O = 0V$
- $V(+)$ < $V(-)$ ise $V_O = -V_{EE}$

Yukarıdaki üç şart arasında, b maddesini sağlamak çok zordur. OPAMP'ın A_V değeri çok büyük olduğu için, V_+ 'nın genliği V_- 'ye tamamen eşit olmadıkça, $V_O=0V$ olmayacaktır. Ayrıca, OCL AMP'ın iç dengesizliğine benzer şekilde, OPAMP iç devreleri de dengeli olmayabilir ve bu da merkez nokta geriliminin $0V$ olmamasına neden olur.

Tek besleme gerilimli karşılaştırıcı Şekil 13-1-2'de gösterilmiştir.

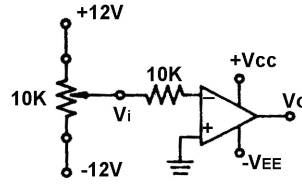


Şekil 13-1-2 Tek besleme gerilimli karşılaştırıcı

Eğer

- $V(+)$ > $V(-)$ ise $V_O = +V_{CC}$
- $V(+)$ = $V(-)$ ise $V_O = V_{CC}/2$
- $V(+)$ < $V(-)$ ise $V_O = 0V$

Sıfır karşılaştırıcı yada sıfır geçiş algılayıcı, Şekil 13-1-3'te gösterilmiştir.



Şekil 13-1-3 Sıfır karşılaştırıcı

Sıfır karşılaştırıcı, $V(+)$ veya $V(-)$ 'yi sıfır potansiyel olarak toprağa bağlamak için kullanılır ve daha sonra V_i sıfır potansiyel ile karşılaştırılır.

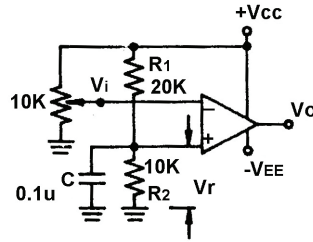
Eğer

- $V_i > 0V$ ise $V_o = -V_{EE}$
- $V_i = 0V$ ise $V_o = 0V$
- $V_i < 0V$ ise $V_o = +V_{CC}$

Şekil 13-1-3'te gösterilen $10K\Omega$ direnci, OPAMP'ı korumak amacıyla, yüksek gerilimin (+12V) direk olarak OPAMP'ın giriş ucuna beslenmesini engellemek için kullanılmıştır.

Referans ile Karşılaştırıcı

Referans ile karşılaştırıcı, Şekil 13-1-4'te gösterilmiştir.



Şekil 13-1-4 Referans ile karşılaştırıcı

$V(+)$ 'ya uygulanan gerilim, R_1 ve R_2 'li gerilim bölücünden alınan sabit bir değerdir. Aşağıdaki denklemler, V_r 'ye göre ifade edilmiştir.

Eğer

- $V_i > V_r$ ise $V_o = -V_{EE}$
- $V_i = V_r$ ise $V_o = 0V$
- $V_i < V_r$ ise $V_o = +V_{CC}$

KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25009 İşlemsel Yükselteç Devre Modülü (4)
3. Osiloskop

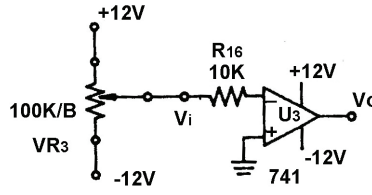
DENEYİN YAPILIŞI

A. Sıfır Karşılaştırıcı

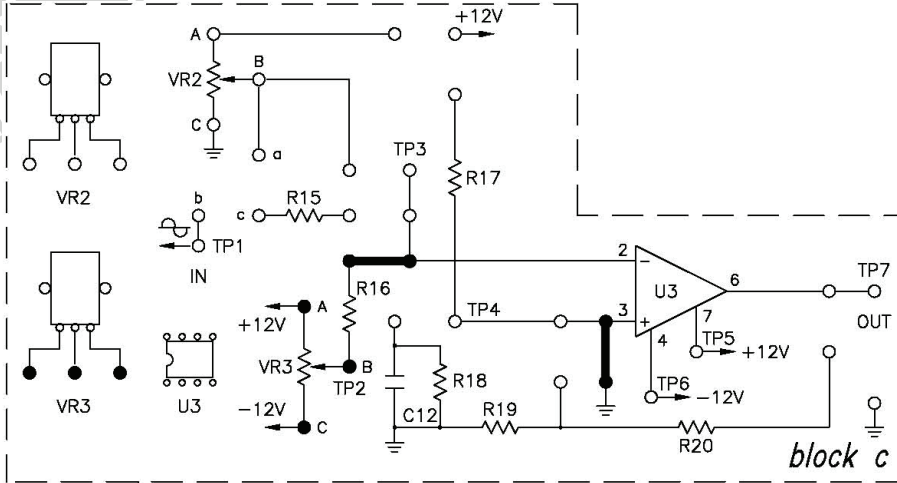
1. KL-25009 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve c bloğunu belirleyin.
2. Şekil 13-1-5'teki devre ve Şekil 13-1-6'daki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kabloları yardımıyla VR3'ü devreye bağlayın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25009 modülüne bağlayın.
3. VR3(100K)'ü, $V_i=+1.5V$ (TP2'de) olacak şekilde ayarlayın. OUT ucundaki V_o değerini ölçün ve Tablo 13-1-1'e kaydedin.
4. VR3(100K)'ü, $V_i=0V$ (TP2'de) olacak şekilde ayarlayın. OUT ucundaki V_o değerini ölçün ve Tablo 13-1-1'e kaydedin.
5. VR3(100K)'ü, $V_i=-1.5V$ (TP2'de) olacak şekilde ayarlayın. OUT ucundaki V_o değerini ölçün ve Tablo 13-1-1'e kaydedin.

| V_i | V_o |
|-------|-------|
| +1.5V | |
| 0V | |
| -1.5V | |

Tablo 13-1-1



Şekil 13-1-5 Sıfır karşılaştırıcı



Şekil 13-1-6 Bağlantı diyagramı (KL-25009 blok c)

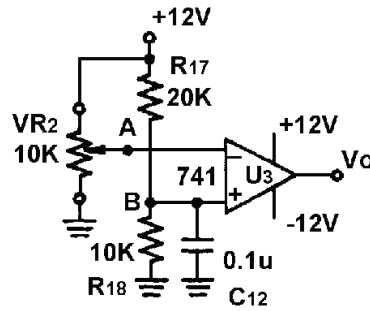
B. Referans ile Karşılaştırıcı

1. Şekil 13-1-7'deki devre ve Şekil 13-1-8'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kabloları yardımıyla VR2'yi devreye bağlayın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25009 modülüne bağlayın.
2. Multimetre (DCV kademesinde) kullanarak, TP4 ucundaki V_B gerilimini ölçün ve Tablo 13-1-2'ye kaydedin.
3. TP3 ucundaki V_A gerilimi, V_B 'den büyük olacak şekilde VR2(10K)'yi ayarlayın. V_A 'yı ve OUT ucundaki V_O çıkış gerilimini ölçün ve Tablo 13-1-2'ye kaydedin.
4. TP3 ucundaki V_A gerilimi, V_B 'ye olacak şekilde VR2(10K)'yi ayarlayın. V_A 'yı ve OUT ucundaki V_O çıkış gerilimini ölçün ve Tablo 13-1-2'ye kaydedin.

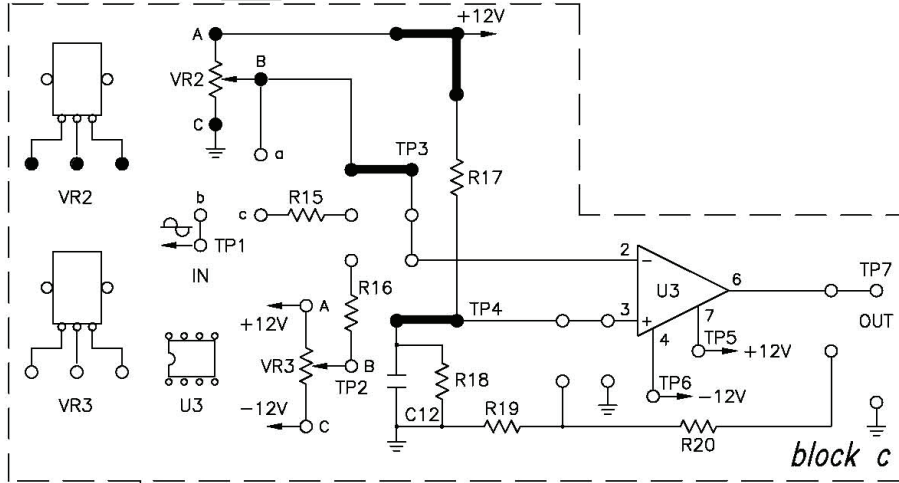
5. TP3 ucundaki V_A gerilimi, V_B 'den küçük olacak şekilde VR2(10K)'yi ayarlayın. V_A 'yı ve OUT ucundaki V_O çıkış gerilimini ölçün ve Tablo 13-1-2'ye kaydedin.

| | V_A | V_B | V_O |
|-------------|-------|-------|-------|
| $V_A > V_B$ | | | |
| $V_A = V_B$ | | | |
| $V_A < V_B$ | | | |

Tablo 13-1-2



Şekil 13-1-7 Referans ile karşılaştırıcı



Şekil 13-1-8 Bağlantı diyagramı (KL-25009 blok c)

SONUÇLAR

Teorik çıkış gerilimi $+V_{CC}$ yada $-V_{EE}$ olmasına rağmen, yükleme etkisinden dolayı, gerçek ölçülen değer $+V_{CC}$ yada $-V_{EE}$ den biraz daha küçük olmaktadır. Diğer yandan zorlukla elde edilen $V_O=0V$ durumunda, çift besleme gerilimi için gerçek ölçülen değer $+V_{CC}$ yada $-V_{EE}$ olmaktadır. Tek güç kaynağı durumunda $V_{CC}/2$ zor bulunmaktadır, burada gerçek ölçüm değeri yaklaşık $+V_{CC}$ veya 0 olmaktadır. Tek besleme gerilimi için zorlukla elde edilen $V_{CC}/2$ çıkışı durumunda da, gerçek ölçülen değer $+V_{CC}$ yada 0V olmaktadır.

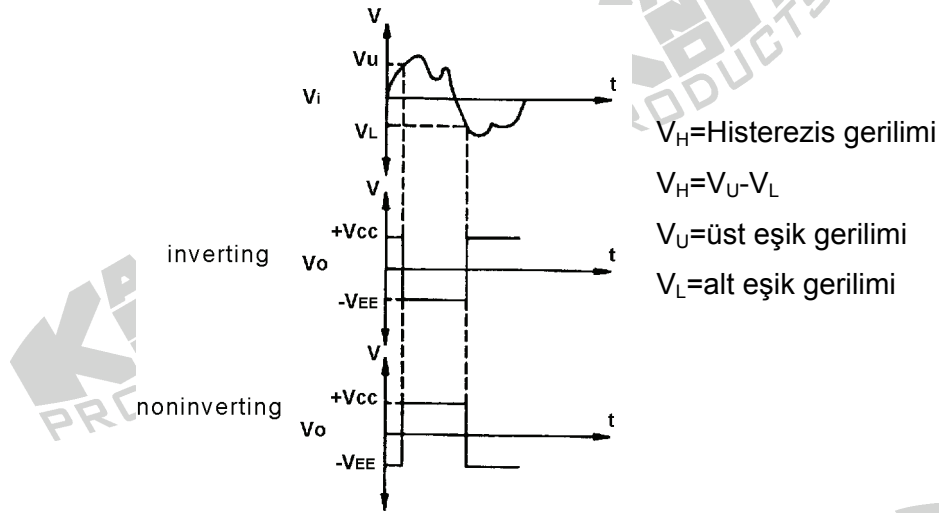
DENEY 13-2 Schmitt Tetikleme Devresi

DENEYİN AMACI

1. Schmitt tetikleme devresinin çalışma prensibini anlamak.
2. Schmitt tetikleme devresinin giriş ve çıkış dalga şekillerini ölçmek.

GENEL BİLGİLER

Dalga şekli biçimlendirme devresi olarak da adlandırılan Schmitt tetikleme devresinin temel konsepti aşağıdaki giriş ve çıkış dalga şekilleri yardımıyla açıklanabilir.

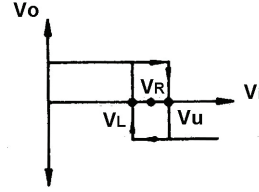
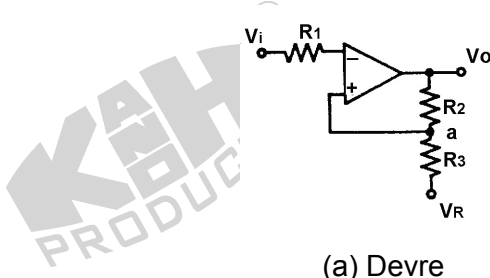


Şekil 13-2-1 Schmitt tetikleme devresinin giriş ve çıkış dalga şekilleri

Şekil 13-2-2, yenileyici (regenerative) karşılaştırıcı olarak da adlandırılan, evirici Schmitt tetikleme devresini göstermektedir. $V_i > V_U$ iken $V_o = -V_{EE}$, $V_i < V_L$ iken $V_o = +V_{CC}$ 'dir. Yukarıdaki özellik sayesinde, çok yavaş değişen giriş gerilimi, dalga şekli aniden değişen bir çıkışa dönüştürülebilir. Ani değişim, V_U ve V_L eşik gerilim değerlerinde ortaya çıkacaktır.

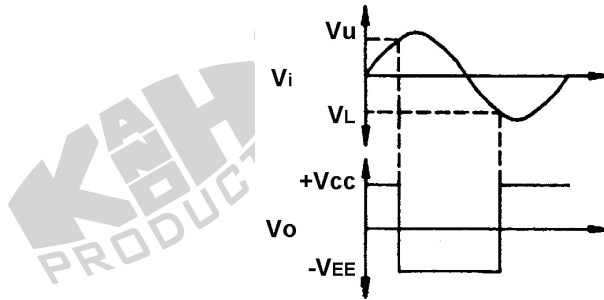
$$V_U = V_R + (V_O - V_R) \frac{R_3}{R_2 + R_3}$$

$$V_L = V_R - (V_O + V_R) \frac{R_3}{R_2 + R_3}$$



Şekil 13-2-2 Eviren Schmitt tetikleme devresi

Şekil 13-2-2(a)'da gösterilen devrenin girişine sinüzoidal sinyal uygulanırsa, Şekil 13-2-3'te gösterildiği gibi, kare dalga çıkış elde edilir.



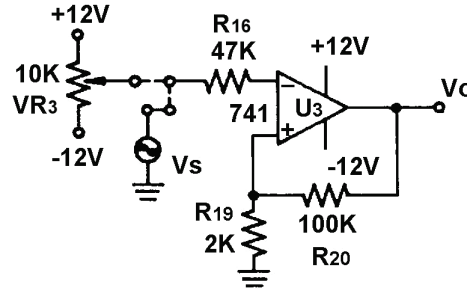
Şekil 13-2-3 Schmitt tetiklemenin giriş ve çıkış dalga şekilleri

KULLANILACAK ELEMANLAR

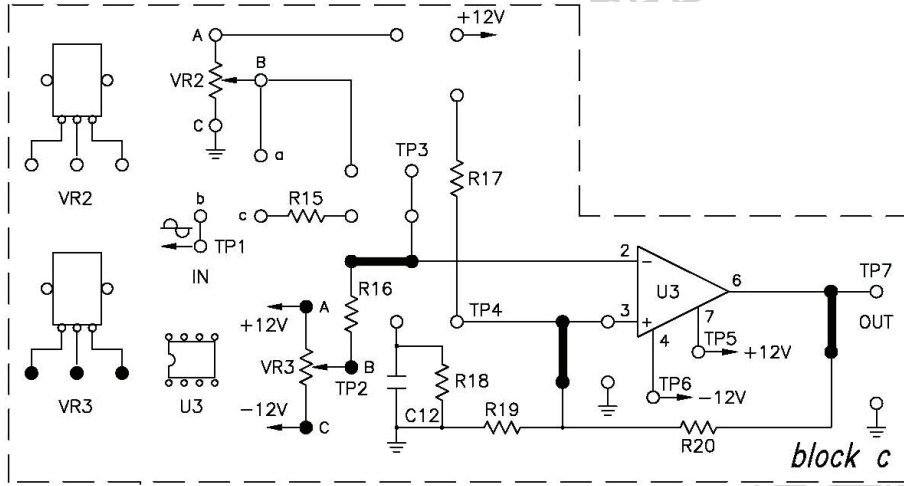
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25009 İşlemsel Yükselteç Devre Modülü (4)
3. Multimetre
4. Osiloskop

DENEYİN YAPILIŞI

1. KL-25009 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve c bloğunu belirleyin. Şekil 13-2-4'teki devre ve Şekil 13-2-5'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kabloları yardımıyla VR3'ü devreye bağlayın. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25009 modülüne bağlayın.



Şekil 13-2-4 Schmitt tetikleme devresi

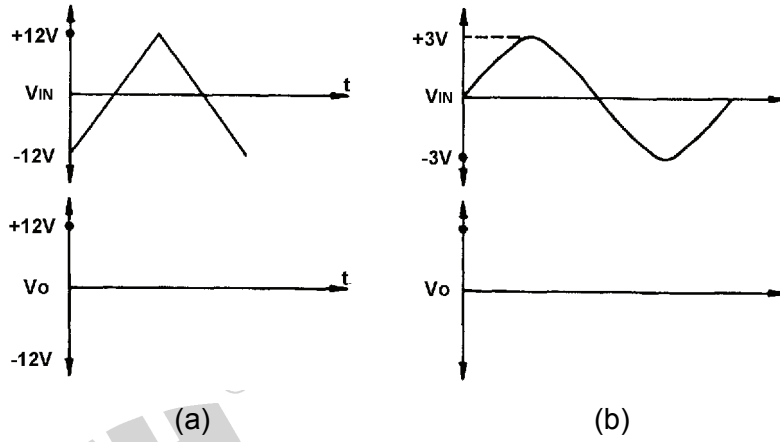


Şekil 13-2-5 Bağlantı diyagramı (KL-25009 blok c)

2. VR3(100K)'ü ayarlayarak, TP2 ucundaki V_{IN} giriş gerilimini, -12V'dan +12V'a kadar değiştirin ve OUT (TP7) ucundaki V_O çıkış geriliminin sadece + V_{CC} 'den - V_{CC} 'ye değiştiğini gözleyin. Çıkış gerilimindeki değişimi Şekil 13-2-6(a)'ya kaydedin. V_{IN} giriş gerilimini ölçün ve üst eşik gerilimi olarak kaydedin $V_U =$ _____.

3. VR3(100K)'ü ayarlayarak, TP2 ucundaki V_{IN} giriş gerilimini, +12V'dan -12V'a kadar değiştirin ve OUT (TP7) ucundaki V_O çıkış geriliminin sadece $-V_{CC}$ 'den $+V_{CC}$ 'ye değiştiğini gözleyin. Çıkış gerilimindeki değişimi Şekil 13-2-6(a)'ya kaydedin. V_{IN} giriş gerilimini ölçün ve alt eşik gerilimi olarak kaydedin $V_L = \underline{\hspace{2cm}}$.

4. Bağlantı kablolarını çıkartarak VR3'ü devre dışı bırakın. KL-22001 Düzenegindeki Fonksiyon Üreticini kullanarak, TP2 giriş ucuna 1KHz, $6V_{P-P}$ 'lik sinüzoidal sinyal uygulayın. Osiloskop kullanarak, OUT (TP7) ucundaki V_O çıkış dalga şeklini ölçün ve Şekil 13-2-6(b)'ye kaydedin.



Şekil 13-2-6 Schmitt tetikleme devresinin ölçülen çıkış dalga şekilleri

SONUÇLAR

Schmitt tetiklemede yer alan pozitif geri beslemeden dolayı çıkış gerilimi, durum değiştirme sonrasında daha kararlı olmaktadır. Tipik karşılaştırıcının dezavantajı giriş gerilimi referans gerilime yakinken, devrenin kararsız davranmasıdır. Pozitif geribesleme sayesinde, Schmitt tetikleyici çıkış geriliminin durum değiştirme noktası, V_U ve V_L olmak üzere iki noktaya ayrılmaktadır. Bu iki nokta, V_O 'ın içerisinde hiç değişmediği, $V_H = V_U - V_L$ histerezis bölgesini oluşturur.

Schmitt tetikleme devresi, zamanlama kontrolü, sıcaklık kontrolü, ölçme ve algılama ve dijital devrelerde düzensiz sinyalleri biçimlendirmede yaygın olarak kullanılmaktadır.

DENEY 13-3 Pencere Karşılaştırıcı

DENEYİN AMACI

1. Pencere karşılaştırıcı devresinin çalışma prensibini anlamak.
2. Pencere karşılaştırıcı devresinin giriş ve çıkış gerilimlerini ölçmek.

GENEL BİLGİLER

Şekil 13-3-1'de gösterildiği gibi, pencere karşılaştırıcı devresi, üstteki A1 karşılaştırıcısı ve alttaki A2 karşılaştırıcısı olmak üzere, iki karşılaştırıcıdan oluşmaktadır ve aşağıdaki prensiplere sahiptir:

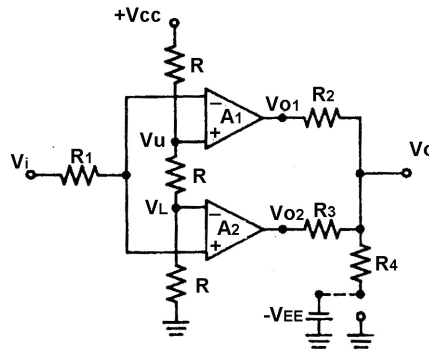
$$V_U = V_{CC} \frac{2R}{R+2R} = \frac{2}{3} V_{CC}$$

$$V_L = V_{CC} \frac{R}{R+2R} = \frac{1}{3} V_{CC}$$

$V_i > V_u$ iken ; A1'in çıkışı -12V ve A2'nin çıkışı +12V olur.

$V_L < V_i < V_u$ iken ; A1'in çıkışı +12V ve A2'nin çıkışı +12V olur.

$V_i < V_L$ iken ; A1'in çıkışı +12V ve A2'nin çıkışı -12V olur.



Şekil 13-3-1 Pencere karşılaştırıcı

Eğer R4 toprağa bağlanırsa,

$$V_o = V_{o1} \left[\frac{R3 // R4}{R2 + (R3 // R4)} \right] + V_{o2} \left[\frac{R2 // R4}{R3 + (R2 // R4)} \right]$$

Burada; V_{o1} üstteki karşılaştırıcının çıkışı, V_{o2} alttaki karşılaştırıcının çıkışıdır.

Eğer R₄, negatif besleme gerilimine ($-V_{EE}$) bağlanırsa,

$$V_o = V_{o1} \left[\frac{R3 // R4}{R2 + (R3 // R4)} \right] + V_{o2} \left[\frac{R2 // R4}{R3 + (R2 // R4)} \right] + (-V_{EE}) \left[\frac{R2 // R3}{R4 + (R2 // R3)} \right]$$

KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25009 İşlemsel Yükselteç Devre Modülü (4)
3. Multimetre

DENEYİN YAPILIŞI

1. KL-25009 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve d bloğunu belirleyin. Şekil 13-3-2'deki devre ve Şekil 13-3-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kabloları yardımıyla VR2'yi devreye bağlayın..
2. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25009 modülüne bağlayın.
3. VR2(10K)'yi, V_a giriş gerilimi (TP1), $V_U=8V$ üst eşik geriliminden daha büyük olacak şekilde ayarlayın.
4. Üstteki karşılaştırıcının V_b çıkış gerilimini (TP4) ve alttaki karşılaştırıcının V_c çıkış gerilimini (TP5) ölçün ve Tablo 13-3-1'e kaydedin. CR1 LED'inin durumunu gözlemleyin ve kaydedin.

5. VR2(10K)'yi, V_a giriş gerilimi (TP1), $V_U=8V$ üst eşik geriliminden daha küçük ancak $V_L=4V$ alt eşik geriliminden daha büyük olacak şekilde ayarlayın.

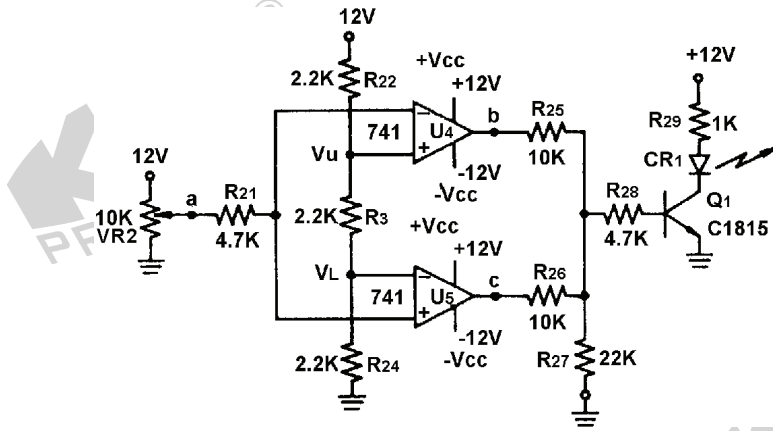
6. 4. adımı tekrarlayın.

7. VR2(10K)'yi, V_a giriş gerilimi (TP1), $V_L=4V$ alt eşik geriliminden daha küçük olacak şekilde ayarlayın.

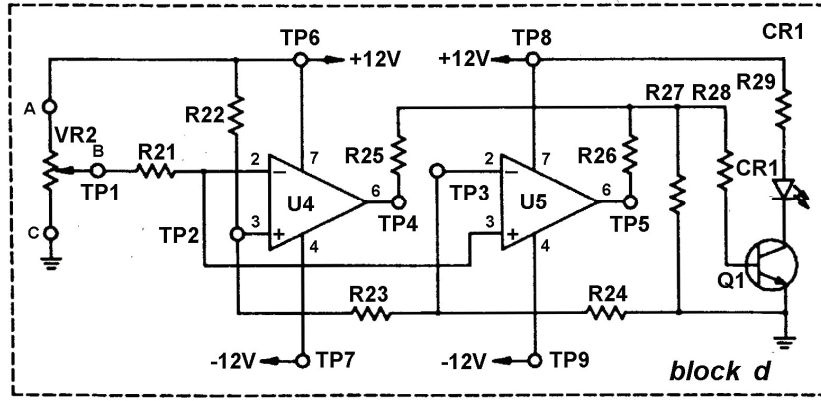
8. 4. adımı tekrarlayın.

| Giriş Durumu | V_b | V_c | LED |
|-------------------|-------|-------|-----|
| $V_a > V_U$ | | | |
| $V_L < V_a < V_U$ | | | |
| $V_a < V_L$ | | | |

Tablo 13-3-1



Şekil 13-3-2 Pencere karşılaştırıcı devresi



Şekil 13-3-3 Bağlantı diyagramı (KL-25009 blok d)

SONUÇLAR

Pencere karşılaştırıcı, yükün V_U ve V_L arasında çalışmasını sağlamak için, sıcaklık kontrol devresinde yaygın olarak kullanılır. Pratikte, $V_i < V_L$ veya $V_i > V_U$ iken gerilim çıkışını önlemek için, gerçek H ve L gerilim seviyeleri belirlenmelidir. $V_i < V_L$ yada $V_i > V_U$ iken negatif V_O gerilimi ve $V_L < V_i < V_U$ iken pozitif V_O gerilimi oluşmasını sağlamak için, karşılaştırıcının çıkış gerilim bölücü kısmına genellikle bir negatif gerilim kaynağı bağlanır.

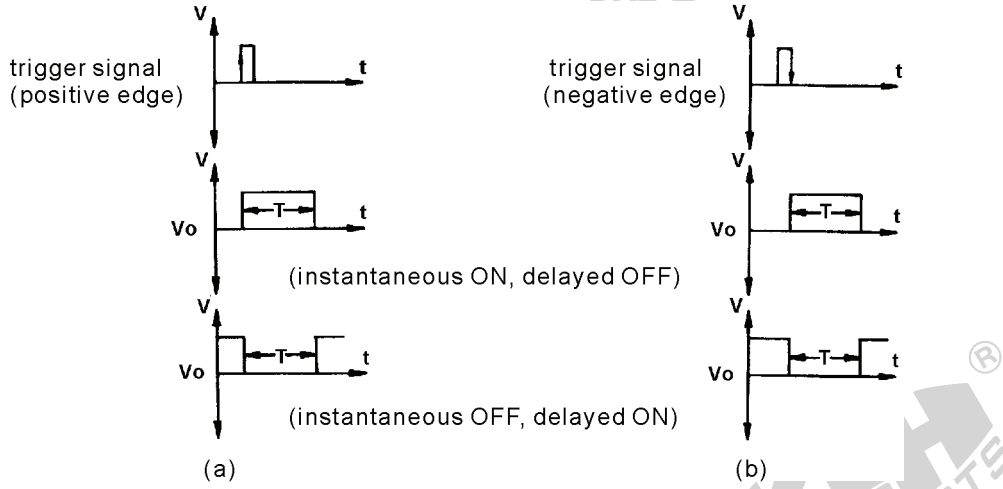
DENEY 13-4 Tek Kararlı Multivibratör

DENEYİN AMACI

1. Tek kararlı multivibratör devresinin çalışma prensibini anlamak.
2. Tek kararlı multivibratörün giriş ve çıkış dalga şekillerini ölçmek.

GENEL BİLGİLER

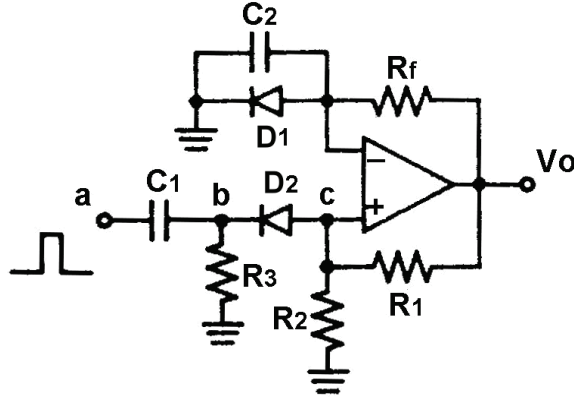
Tek-vuruş (one-shot) devresi olarak da adlandırılan tek kararlı multivibratörün temel prensibi, transistörlerden oluşan tek kararlı multivibratör ile aynıdır. Şekil 13-4-1'de gösterilen, sırasıyla pozitif ve negatif kenarlar ile tetiklemeye karşılık gelen çıkış durumlarından, tek kararlı multivibratörün çalışma prensibi anlaşılmaktadır.



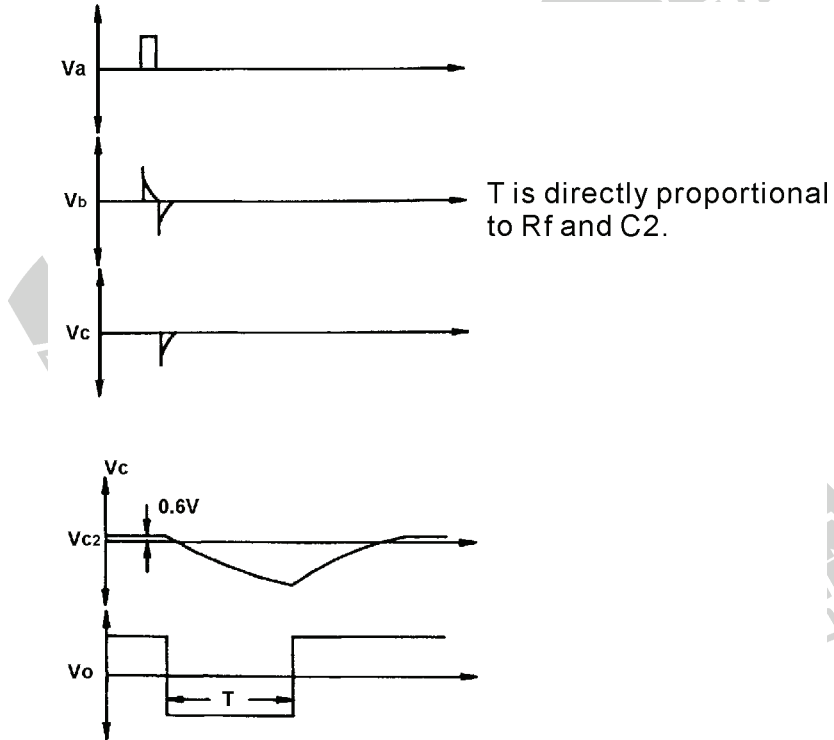
Şekil 13-4-1 Tek kararlı multivibratörün tetikleme ve çıkış sinyalleri

Şekil 13-4-2, bir tek kararlı multivibratör devresini göstermektedir. Bu devrenin prensibi, kararsız multivibratörünki ile benzerdir, ancak bu devre osilasyonu kendiliğinden üretemez, harici bir sinyal tarafından tetiklenmesi gerekir. Tetikleme işleminden belli bir süre sonra da yeniden başlangıç durumuna döner. Kararlı durumda yüksek seviye çıkış veren bu devre; türev devresini oluşturan C₁-R₃ ağı, türevi alınmış sinyalin pozitif kısmını kırmak için kullanılan D₂ diyodu ve pozitif çıkış

esnasında C_2 'nin şarjını sınırlamak için kullanılan D_1 diyodundan oluşmaktadır. Şekil 13-4-2'de verilen devrenin ilgili noktalarına ilişkin dalga şekilleri, Şekil 13-4-3'te gösterilmiştir.



Şekil 13-4-2 Tek kararlı multivibratör devresi



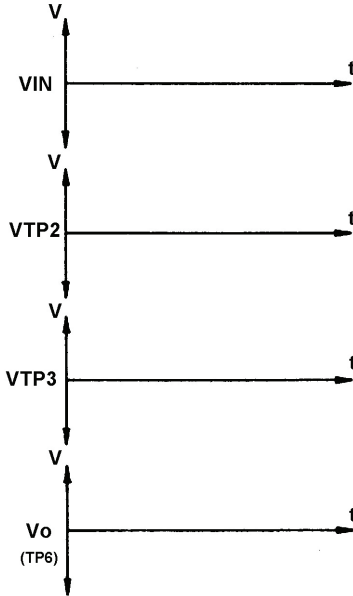
Şekil 13-4-3 Tek kararlı multivibratör devresindeki dalga şekilleri

KULLANILACAK ELEMANLAR

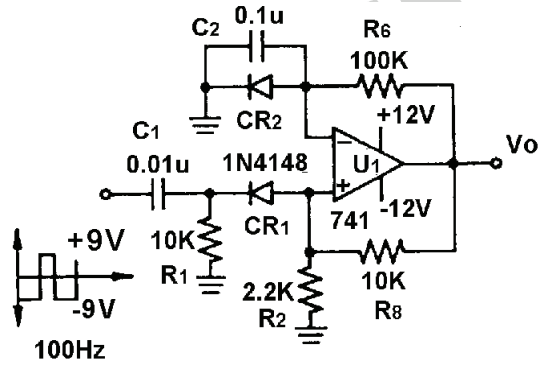
1. KL-22001 Temel Elektrik Devreleri Deney Düzeneđi
2. KL-25010 İşlemsel Yükselteç Devre Modülü (5)
3. Osiloskop

DENEYİN YAPILIŞI

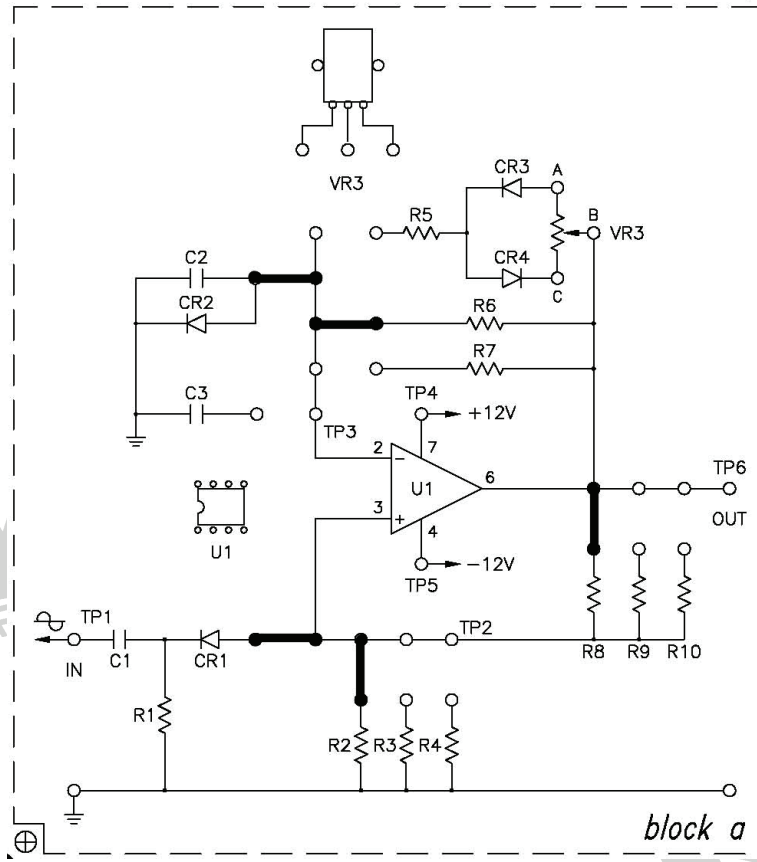
1. KL-25010 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneđinin üzerine koyun ve a blođunu belirleyin. Şekil 13-4-4'teki devre ve Şekil 13-4-5'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın.
2. KL-22001 Düzeneđindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25010 modülüne bağlayın.
3. KL-22001 Düzeneđindeki Fonksiyon Üreticini kullanarak, IN (TP1) giriş ucuna 100Hz, 18V_{P-P}'lik kare dalga uygulayın. Osiloskop kullanarak, TP2, TP3 ve TP6 (OUT) uçlarındaki gerilim dalga şekillerini ölçün ve Tablo 13-4-1'e kaydedin.



Tablo 13-4-1



Şekil 13-4-4 Tek kararlı multivibratör devresi



Şekil 13-4-5 Bağlantı diyagramı (KL-25010 blok a)

SONUÇLAR

Tetikleme sinyalinin negatif darbe genişliği çok büyük olmamalıdır (türev devresinin RC zaman sabiti çok büyük olmamalıdır), aksi takdirde tek kararlı multivibratör kısa süreli gecikmeyi gösteremez.

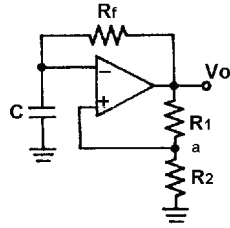
DENEY 13-5 Kararsız Multivibratör

DENEYİN AMACI

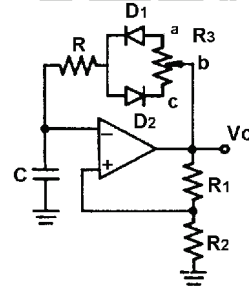
1. Kararsız multivibratörün çalışma prensibini ve uygulamalarını anlamak.
2. Kararsız multivibratörün çıkış dalga şeklini ölçmek.

GENEL BİLGİLER

Bir karşılaştırıcı uygulaması olan kararsız multivibratör yada serbest çalışan multivibratör, devresi Şekil 13-5-1(a)'da gösterildiği gibi olan, kare dalga üretici olarak kullanılabilir.



(a) Kare dalga üretici



(b) Darbe üretici

Şekil 13-5-1 Kararsız multivibratör uygulamaları

Şekil 13-5-1(a)'da gösterilen kare dalga üreticinin prensipleri:

1. $V_U = +V_{CC} \times \frac{R_2}{R_1 + R_2}$, $V_O = +V_{CC}$ iken

$V_L = -V_{EE} \times \frac{R_2}{R_1 + R_2}$, $V_O = -V_{EE}$ iken

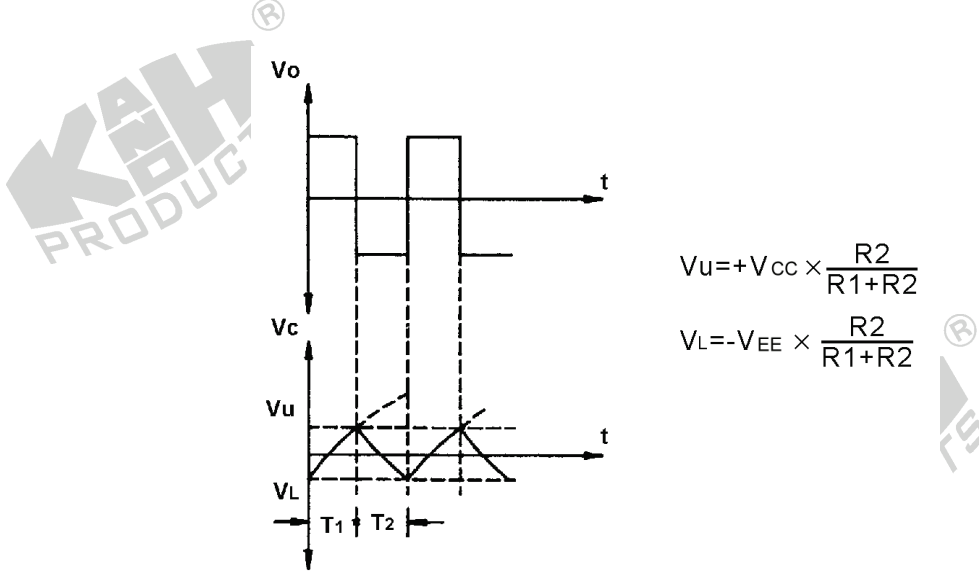
2. $V_C > V_U$ iken $V_O = -V_{EE}$
 $V_C > V_L$ iken $V_O = +V_{CC}$

3. V_C ve V_O dalga şekilleri, Şekil 13-5-2'de gösterilmiştir.

4. T periyodu, $R_f C$ ile doğru orantılıdır.

$$R_2=0.86R_1 \text{ iken } T = 2R_f C, f = \frac{1}{T} = \frac{1}{2R_f C}$$

$$R_2=R_1 \text{ iken } T = 2.2R_f C, f = \frac{1}{T} = \frac{1}{2.2R_f C}$$



Şekil 13-5-2 Kararsız multivibratörün V_c ve V_o dalga şekilleri

Şekil 13-5-1(b)'de, değişken doluluk boşluk oranlı darbe üretici yada osilatörü gösterilmiştir. Bu devrede C şarj kondansatörünün şarj yolu, Şekil 13-5-1(a)'dan farklı olarak, ikiye bölünmüştür. Çıkış gerilimi $+V_{CC}$ iken, C kondansatörü $R_3(ab)$, D_1 ve C üzerinden geçen akımla şarj edilir, D_2 kesime gider ve şarj zaman sabiti $T1=[R+R_3(ab)] \times C$ olur. V_c , V_u gerilimine ulaştığında, V_o gerilimi, $-V_{EE}$ değerine değişecektir. Çıkış gerilimi $-V_{EE}$ iken, C kondansatörü, $R_3(bc)$, D_2 ve R üzerinden geçen akımla şarj edilir (negatif gerilim ile şarj edilir), D_1 kesime gider ve şarj zaman sabiti $T2=[R+R_3(bc)] \times C$ olur. V_c , V_L gerilimine ulaştığında, V_o gerilimi, yeniden $+V_{CC}$ değerine değişecektir. R_3 ayarlanarak, $T1/(T1+T2)$ oranı, yani doluluk boşluk oranı değiştirilebilir.

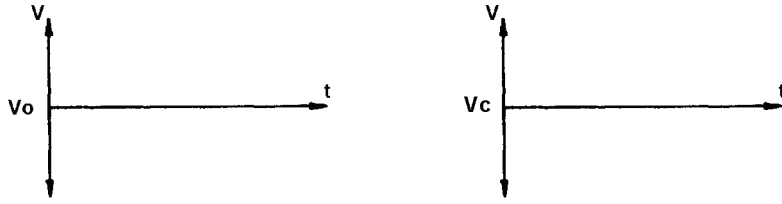
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneđi
2. KL-25010 İşlemsel Yükselteç Devre Modülü (5)
3. Osiloskop

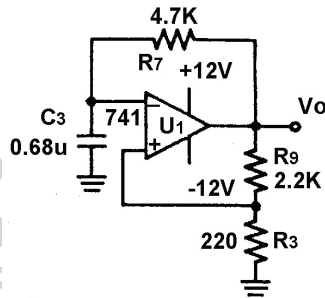
DENEYİN YAPILIŞI

A. Kare Dalga Üreteci

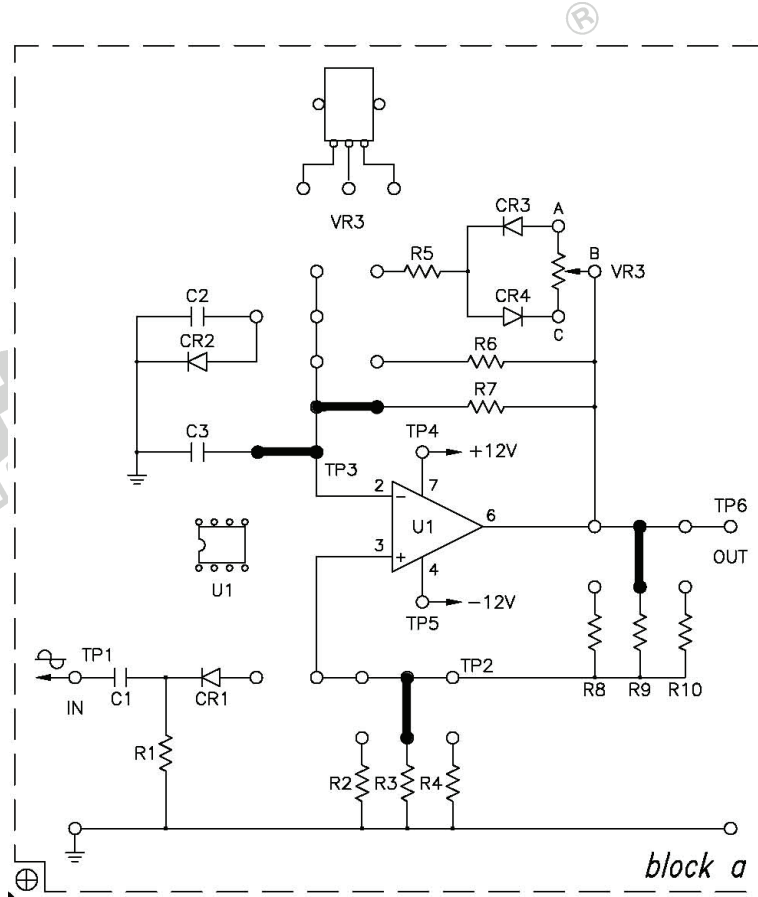
1. KL-25010 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneđinin üzerine koyun ve a blođunu belirleyin. Şekil 13-5-3'teki devre ve Şekil 13-5-4'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın.
2. KL-22001 Düzeneđindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25010 modülüne bağlayın.
3. Osiloskop kullanarak, OUT ucundan V_O çıkış gerilimi ve TP3 ucundan V_{C3} , C_3 kondansatörünün gerilim dalga şekillerini ölçün ve Tablo 13-5-1'e kaydedin.



Tablo 13-5-1 Ölçülen V_O ve V_C gerilim dalga şekilleri



Şekil 13-5-3 Kare dalga üreteci



Şekil 13-5-4 Bağlantı diyagramı (KL-25010 blok a)

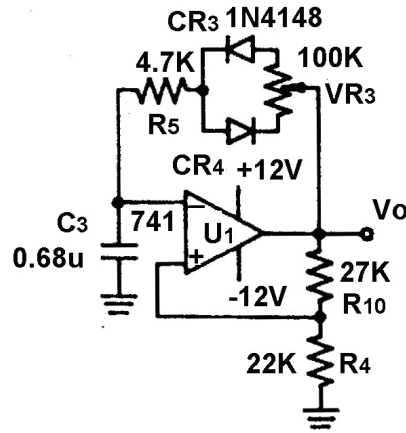
B. Darbe Üretici

1. KL-25010 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve a bloğunu belirleyin. Şekil 13-5-5'teki devre ve Şekil 13-5-6'daki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR3'ü devreye bağlayın.
2. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25010 modülüne bağlayın. VR3(100K)'ü saat dönüş yönünün tersine tam olarak çevirin.
3. Osiloskop kullanarak, OUT ucundan V_O ve TP3 ucundan V_{C3} gerilim dalga şekillerini ölçün ve Tablo 13-5-2'ye kaydedin.
4. VR3(100K)'ü orta konumuna getirin ve 3. adımı tekrarlayın.

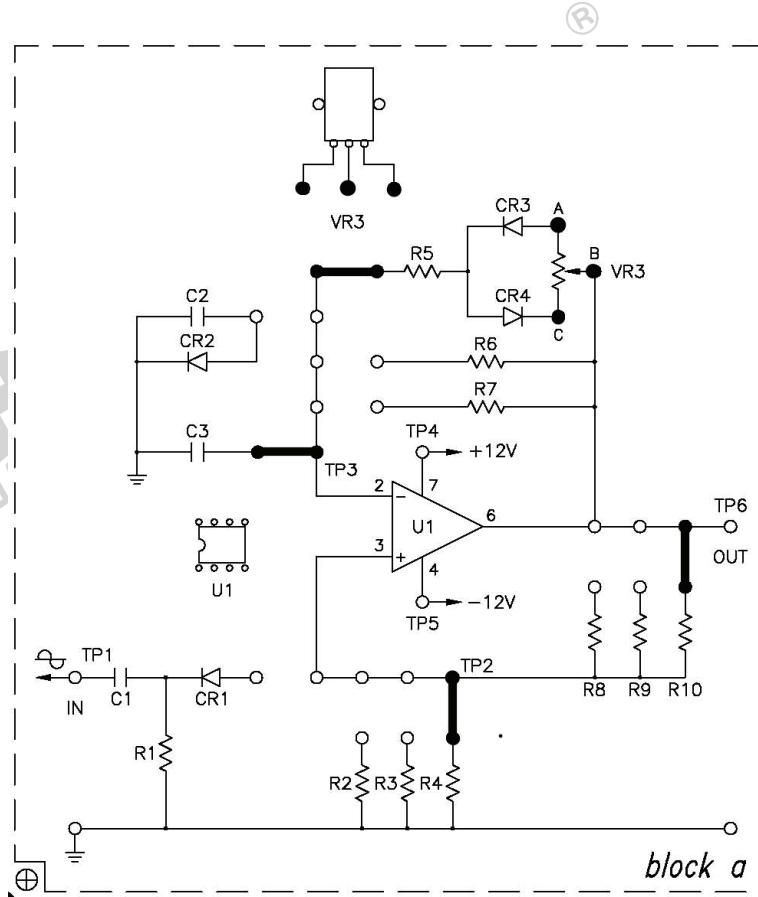
5. VR3(100K)'ü saat dönüş yönünde tam olarak çevirin. 3. adımı tekrarlayın.

| VR3 | Saat dönüş yönü. tersine tam olarak çevrilmiş | Orta konum | Saat dönüş yönünde tam olarak çevrilmiş |
|-------|---|------------|--|
| V_o | | | |
| V_i | | | |

Tablo 13-5-2 Ölçülen V_o ve V_c dalga şekilleri



Şekil 13-5-5 Darbe üretici devresi



Şekil 13-5-6 Bağlantı diyagramı (KL-25010 blok a)

SONUÇLAR

Kare dalga üreticinin frekansı değiştirilmek isteniyorsa, RC zaman sabiti yada R_1/R_2 'ye oranı değiştirilebilir.

Doluluk boşluk oranı ayarlanarak, darbe üretici, pozitif darbe (doluluk boşluk oranı < %50), negatif darbe (doluluk boşluk oranı > %50) yada kare dalga (doluluk boşluk oranı = %50) üretici olarak kullanılabilir.

DENEY 13-6 Sinüzoidal Sinyal Osilatörü

DENEYİN AMACI

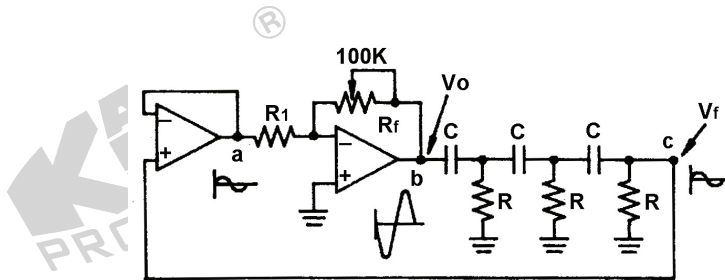
1. RC faz kaydırmalı ve Wien köprü osilatörlerinin çalışmasını anlamak
2. RC faz kaydırmalı ve Wien köprü osilatörlerini kullanarak sinüzoidal sinyal üretmek.

GENEL BİLGİLER

Sinüzoidal osilasyon için gerekli şartlar şunlardır:

1. Pozitif geri besleme
2. $-\beta A=1$, burada β , geribesleme faktörünü ve A , yükseltme faktörünü ifade etmektedir. Bu şart, Barkhausen kriteri olarak bilinir.

RC Faz kaydırmalı Osilatör



Şekil 13-6-1 Faz ilerlemeli RC faz kaydırmalı osilatör

Şekil 13-6-1'de gösterildiği gibi, RC faz kaydırmalı osilatör, belirli bir frekansta R ve C'den oluşan üç katlı faz kaydırma ağının 180°'lik faz farkından yararlanır. OPAMP'ın orijinal evrilmiş çıkış sinyaline bağlı olarak, toplam faz farkı sıfır olur. a, b ve c noktalarındaki dalga şekillerinin faz ilişkisi, Şekil 13-6-1'de gösterilmiştir. Bu koşullar altında, eğer yükseltme $-\beta A=1$ olacak kadar büyükse, osilasyon üretilebilir.

$$-\beta = \frac{V_f}{V_o} = \frac{1}{1 - 5\alpha^2 - j(6\alpha - \alpha^3)} \quad (13-6-1)$$

Burada, $\alpha \equiv \frac{1}{\omega RC}$, V_f , geri besleme gerilimi ve V_o , çıkış gerilimidir.

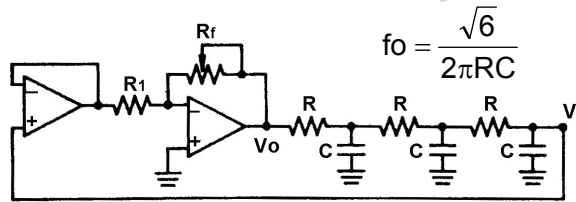
Faz farkının sıfır olması için, Denklem (13-6-1)'in sanal kısmı sıfır olmalıdır ($\alpha^2=6$).
Bun abağlı olarak osilasyon frekansı, aşağıdaki gibi ifade edilebilir:

$$f_o = \frac{1}{2\pi\sqrt{6}RC}$$

$$-\beta = \frac{1}{1-5 \times 6} = -\frac{1}{29}$$

$$\because -\beta A = 1 \therefore A = -29 = -\frac{R_f}{R_1}, \frac{R_f}{R_1} = 29$$

Şekil 13-6-2, faz-gecikmeli RC faz kaydırmalı osilatör devresini ve osilasyon frekansını göstermektedir. Devreye ek bir gerilim izleyici bağlandığı için, RC faz kaydırma ağının çalışması yükselteç devresinden bağımsızdır.



Şekil 13-6-2 Faz gecikmeli RC faz kaydırmalı osilatör

Wien Köprü Osilatörü

Şekil 13-6-3'te gösterildiği gibi, negatif geri besleme ağı olarak dengeli bir köprü kullanan osilatör, Wien Köprü Osilatörü olarak adlandırılır. Yukarıda anlatılan faz kaydırmalı osilatör ile karşılaştırıldığında, Wien-köprü osilatörü, daha iyi sinüzoidal dalga şekli tepesine sahiptir. Bu devre iki geri besleme ağına sahiptir:

1. Z1 ve Z2'den oluşan pozitif geri besleme ağı, osilasyon frekansını belirler.
2. R1 ve R2'den oluşan negatif geri besleme ağı, osilasyon genliğini belirler.

$$\beta = -\frac{V_f}{V_o} = -\frac{Z_2}{Z_1 + Z_2}, A = 1 + \frac{R_1}{R_2}$$

$$-\beta A = \frac{\alpha}{3\alpha - j(1 - \alpha^2)} \times \left(1 + \frac{R1}{R2}\right) \quad (13-6-2)$$

Burada $\alpha = \omega RC$ 'dir.

Barkhausen kriterine göre, devrede, sıfır faz kayması ve tamamen dirençsel geribesleme ağına sahip pozitif geri besleme bulunmalıdır. Denklem (13-6-2)'nin sanal kısmının sıfır olması için,

$$1 - \alpha^2 = 0 \quad \alpha = 1$$

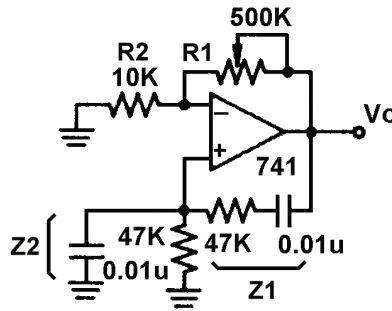
$$\alpha = \omega RC = 1 \quad \therefore 2\pi f_0 RC = 1$$

$$f_0 = \frac{1}{2\pi RC}$$

Osilasyonu sürdürmek için, $-\beta A = 1$ olmalıdır. $\alpha = 1$ iken,

$$-\beta A = \frac{1}{3} \left(1 + \frac{R1}{R2}\right) = 1$$

$$-\beta = \frac{1}{3}, \text{ thus } A = 1 + \frac{R1}{R2} = 3$$



Şekil 13-6-3 Wien köprü osilatörü

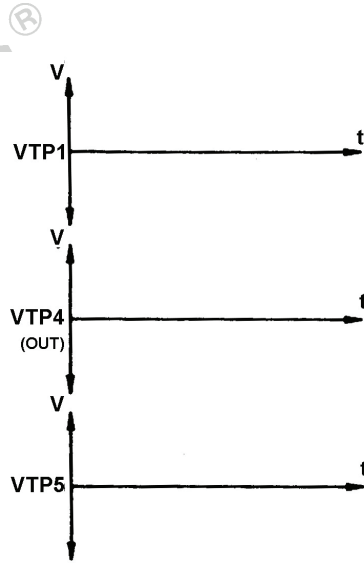
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25010 İşlemsel Yükselteç Devre Modülü (5)
3. Osiloskop

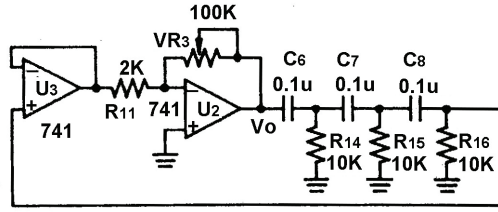
DENEYİN YAPILIŞI

A. RC Faz Kaydırmalı Osilatör

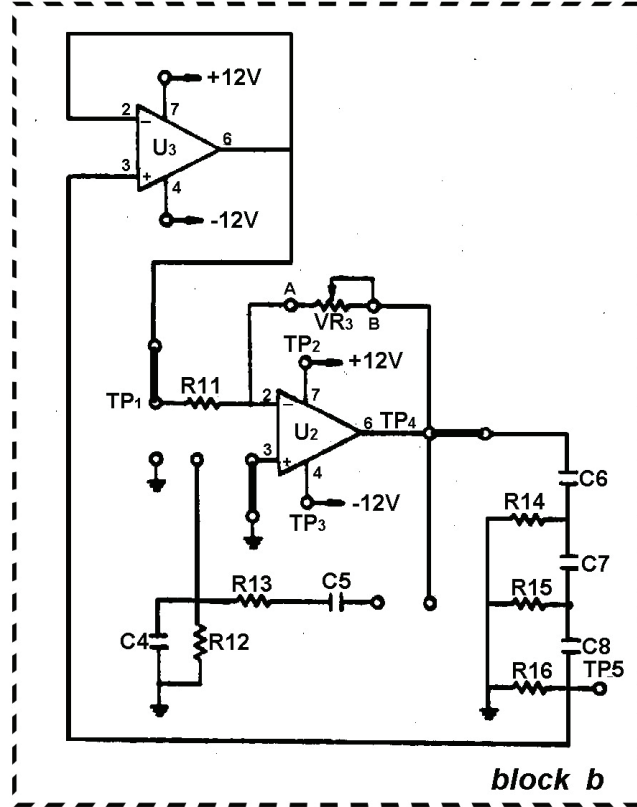
1. KL-25010 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve b bloğunu belirleyin. Şekil 13-6-4'teki devre ve Şekil 13-6-5'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR3'ü devreye bağlayın.
2. KL-22001 Düzeneğindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25010 modülüne bağlayın.
3. Osiloskop kullanarak, TP1, TP4 (V_O) ve TP5 uçlarındaki gerilim dalga şekillerini ölçün ve Tablo 13-6-1'e kaydedin. Birbirleri ile olan faz ilişkilerini karşılaştırın.
 V_{TP1} ve V_{TP4} arasındaki faz farkı _____
 V_{TP4} ve V_{TP5} arasındaki faz farkı _____
 V_{TP1} ve V_{TP5} arasındaki faz farkı _____



Tablo 13-6-1 Ölçülen gerilim dalga şekilleri



Şekil 13-6-4 RC faz kaydırmalı osilatör

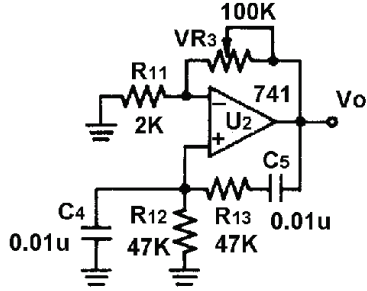


Şekil 13-6-5 Bağlantı diyagramı (KL-25010 blok b)

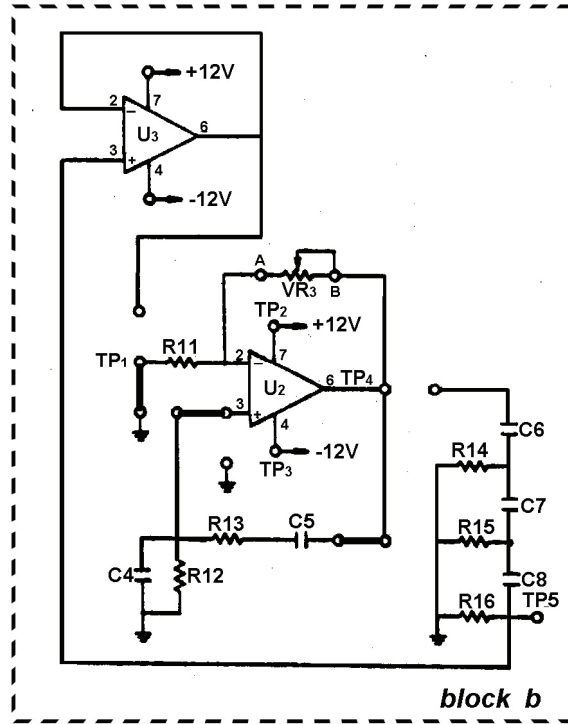
B. Wien Köprü Osilatörü

1. Şekil 13-6-6'daki devre ve Şekil 13-6-7'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. Bağlantı kablolarını kullanarak VR3'ü devreye bağlayın.
2. KL-22001 Düzenegindeki +12VDC ve -12VDC sabit güç kaynaklarını, KL-25010 modülüne bağlayın.

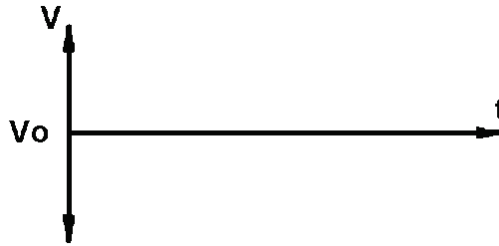
3. Osiloskop kullanarak, TP4 (V_o) gerilim dalga şeklini ölçün ve Tablo 13-6-2'ye kaydedin.



Şekil 13-6-6 Wien köprü osilatör devresi



Şekil 13-6-7 Bağlantı diyagramı (KL-25010 blok b)



Tablo 13-6-2 Ölçülen osilatör çıkışı

SONUÇLAR

RC faz kaydırmalı osilatör, 3 katlı RC ağıının sebep olduğu 180°lik faz-kaymasından yararlanır, ancak aynı zamanda sinyal seviyesinin zayıflamasına da sebep olur. - $\beta A=1$ durumunu sürdürmek için, yükseltme katsayısı, VR3 dikkatlice ayarlanarak adapte edilmelidir, aksi takdirde bu devre distorsiyona yada osilasyonun sona ermesine neden olur.

Wien-köprü osilatörü tarafından üretilen sinüzoidal sinyal, RC faz kaydırmalı osilatöre göre daha kararlıdır.

DENEY 13-7 Kristal Osilatör

DENEYİN AMACI

1. Kristal osilatör devresinin çalışma prensibini anlamak.
2. Kristal osilatörün frekansını ve çıkış dalga şeklini ölçmek.

GENEL BİLGİLER

Genellikle kuvarztan yapılan ve uygun şekilde kesilmiş olan bir piezoelektrik kristal tabakaya basınç uygulanırsa, tabaka boyunca elektromanyetik kuvvet üretilir. Tersine, uygulanan elektromanyetik kuvvet bir basınç üretir. Kuvarz, radyo frekansında çalışmak için en uygun özelliklere sahiptir. Yüksek mekanik dayanıklılığa, yüksek Q'ya, düşük sıcaklık duyarlılığına ve yüksek elektriksel kararlılığa sahiptir. Rezonans frekansı ve Q faktörü, kristal boyutlarına, eksenlerine göre yüzeylerin yönelimine ve elemanın nasıl takıldığına bağlıdır.

Şekil 13-7-1'de gösterilen kuvarz kristali, uygun bir şekilde kesilip topraklandığı zaman, yüksek Q faktörlü paralel rezonans devresi gibi davranır ve çoğu uygulamada tank devresi olarak kullanılabilir. Kuvarz kristal aynı zamanda, kristal filtrelerde sıkça kullanılan seri rezonansa da sahiptir. Kuvarzın temel kullanım alanları, osilatörler ve filtre devrelerdir. Elektriksel bağlantılar, kristalin karşılıklı yüzeylerine metalik kaplama yerleştirilerek sağlanır. Kristal çok kırılğan olduğu için, özel bir tutacakla monte edilmelidir.

Kristalin elektriksel eşdeğer devresi, Şekil 13-7-1(b)'de gösterilmiştir. L_m endüktansı, C_m kondansatörü ve R_m direnci sırasıyla, mekanik sistemlerdeki kütle, uyumluluk (ters yay sabiti) ve viskoz sönüm sabitinin karşılığıdır. C_0 , bir yalıtkan olan kristal ile elektrotlar arasındaki elektrostatik kapasiteyi ifade etmektedir ve genliği C_m 'den çok daha büyüktür.

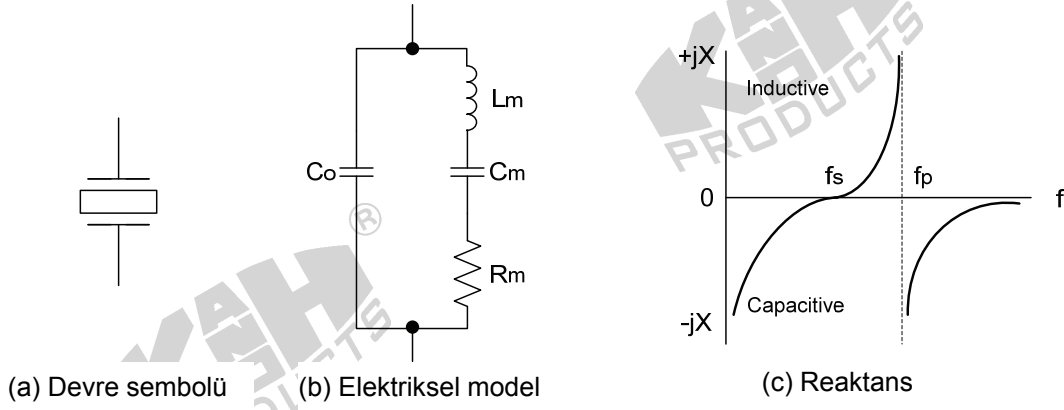
Şekil 13-7-1(c), kristalin reaktans grafiğini göstermektedir. f_s 'deki geçiş, L_m ve C_m 'nin seri rezonansıdır. Seri rezonans frekansı (sıfır empedans frekansı) şu şekilde ifade edilir:

$$f_s = \frac{1}{2\pi\sqrt{LmCm}}$$

Biraz daha yüksek f_p frekansında, paralel rezonans yada anti-rezonans durum mevcuttur. Paralel rezonans frekansı (sonsuz empedans frekansı) şu şekilde ifade edilir:

$$f_p = \frac{1}{2\pi\sqrt{LmC}}$$

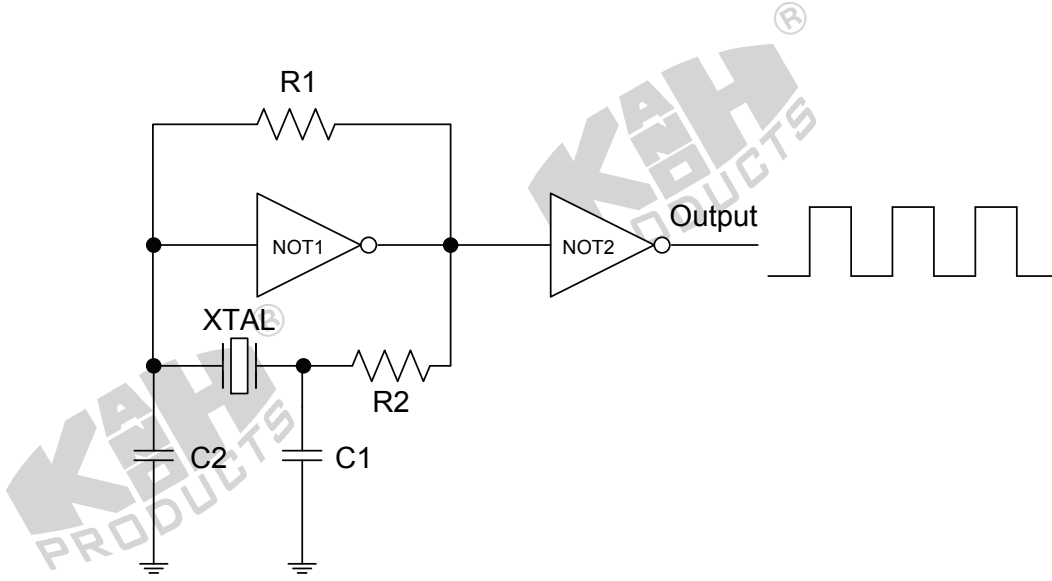
Burada, $C=C_m/C_o$ 'dir. O halde bant genişliği, $f_p - f_s$ 'dir. $f_s < f < f_p$ için reaktans endüktifken, bu aralığın dışında ise kapasitiftir.



Şekil 13-7-1 Kuvartz kristal

$C_o \gg C_m$ olduğu için, $f_s \approx f_p$ 'dir. Bu nedenle kristal osilatör devresi, f_s ve f_p arasında yer alan fakat paralel rezonans değerine yakın bir frekansta osilasyon yapar. $f_s \approx f_p$ olduğu için, osilatör frekansı aslında devrenin geri kalanı tarafından değil kristal tarafından belirlenmektedir.

Osilatör uygulamalarında, bir sinüzoidal sinyal yada kare dalga osilatörü, uygun kazanca ve pozitif geribesleme çevriminde kristale sahip olan bir yükselteç kullanılarak gerçekleştirilebilir. Şekil 13-7-2'de bir CMOS Kristal osilatörü gösterilmiştir.



Şekil 13-7-2 CMOS kristal osilatör

Bu osilatör devresinde NOT1 eviricisi, yükselteç olarak çalışacak şekilde doğrusal bölgesinde öngerilimlenmiştir. Kristal içeren pi ağı, çıkıştan girişe bağlanmıştır. Eleman değerleri, kapının geri çıkışından girişine 180° lik faz dönmesi oluşacak ve yükselteç kazancından daha küçük bir kayıp olacak şekilde seçilmelidir. NOT2 çıkış tamponu, tam-genlikli, kare dalga çıkış vermek için kullanılır.

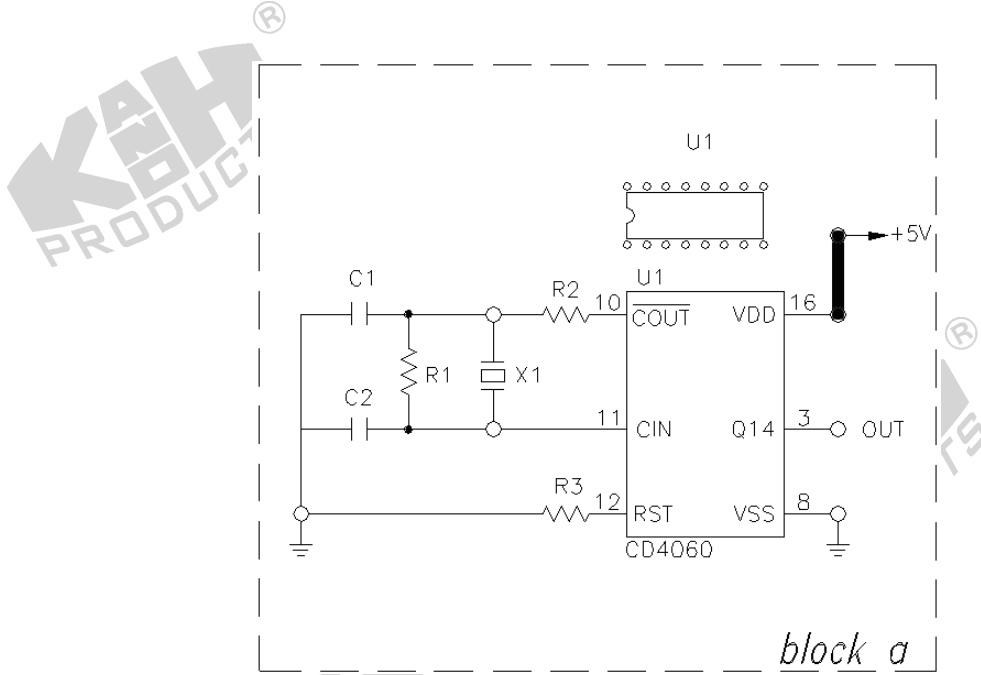
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-25009 İşlemsel Yükselteç Devre Modülü (4)
3. Osiloskop

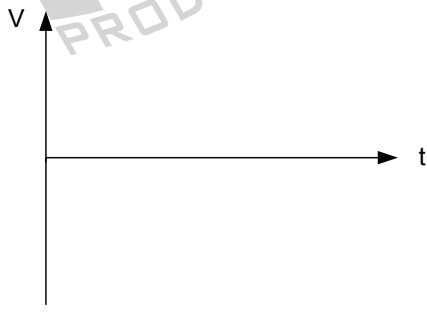
DENEYİN YAPILIŞI

1. KL-25009 modülünü, KL-22001 Temel Elektrik Devreleri Deney Düzeneğinin üzerine koyun ve a bloğunu belirleyin. Şekil 13-7-3'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın.
2. KL-22001 Düzeneğindeki +5VDC sabit güç kaynağını, KL-25009 modülüne bağlayın.

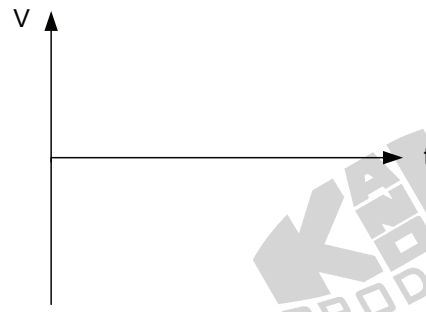
3. Osiloskop kullanarak, COUT ucundaki (CD4060 pin 10) gerilim dalga şeklini ölçün ve Şekil 13-7-4(a)'ya kaydedin. Osilasyon frekansı= _____ Hz'dir.
4. Osiloskop kullanarak, OUT ucundaki (CD4060 pin 3) gerilim dalga şeklini ölçün ve Şekil 13-7-4(b)'ye kaydedin. Osilasyon frekansı= _____ Hz'dir.



Şekil 13-7-3 Bağlantı diyagramı (KL-25009 blok a)



(a) COUT



(b) OUT

Şekil 13-7-4 Kristal osilatör için ölçülen gerilim dalga şekilleri

SONUÇLAR

CMOS kristal osilatör devresi, 32768 Hz'lik kristal ve CD4060, 14-kademeli (16384'e bölünmüş) dahili osilatörlü ikili dalgacık sayıcı, içermektedir. Dahili osilatör devresi, Şekil 13-7-2'deki osilatör ile benzerdir. Bundan dolayı, osilatör çıkışında (COUT), 32768 Hz'lik bir kare dalga ve sayıcı çıkışında (OUT), $32768\text{Hz}/16384=2$ olduğu için, 2Hz'lik bir kare dalga olmalıdır.